

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 6 9 8 7 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 6 9 8 7 2]

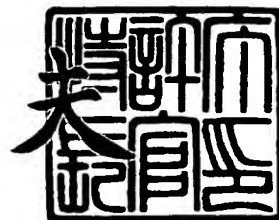
出 願 人 富士通株式会社
Applicant(s):



2 0 0 3 年 1 2 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 1 5 6 9

【書類名】 特許願

【整理番号】 0241889

【提出日】 平成15年 6月13日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/413

【発明の名称】 データ送信装置および入出力インタフェース回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 山口 久勝

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ送信装置および入出力インタフェース回路

【特許請求の範囲】

【請求項 1】 クロック信号を生成するクロック生成手段と、
前記クロック生成手段が生成する前記クロック信号にジッタを含ませるジッタ供給手段と、

前記ジッタを含む前記クロック信号に同期してデータを送信するデータ送信回路と

を具備することを特徴とするデータ送信装置。

【請求項 2】 前記ジッタ供給手段は、前記クロック信号に含ませる前記ジッタの変調量および／または周波数を調整することができることを特徴とする請求項 1 に記載のデータ送信装置。

【請求項 3】 第 1 のクロック信号を生成するクロック生成手段と、
前記クロック生成手段が生成する前記第 1 のクロック信号にジッタを含ませるジッタ供給手段と、

前記ジッタを含む前記第 1 のクロック信号に同期してデータを送信するデータ送信回路と

を具備することを特徴とする入出力インタフェース回路。

【請求項 4】 前記ジッタ供給手段は、前記第 1 のクロック信号に含ませる前記ジッタの変調量および／または周波数を調整することができることを特徴とする請求項 3 に記載の入出力インタフェース回路。

【請求項 5】 前記ジッタ供給手段は、前記ジッタとして正弦波ジッタまたはランダムジッタのいずれかを少なくとも供給することができることを特徴とする請求項 3 または請求項 4 に記載の入出力インタフェース回路。

【請求項 6】 データを受信するデータ受信回路を更に具備し、
前記クロック生成手段は、前記データ受信回路へ第 2 のクロック信号を更に供給し、

前記データ送信回路は、

ジッタ耐力試験用のデータパターンを生成するパターン生成手段と、

前記パターン生成手段が生成した前記データパターンを前記第1のクロック信号に同期して送信する送信手段と

を備え、

前記データ受信回路は、

前記送信手段より受信した前記データパターンを前記第2のクロック信号に同期して受信する受信手段と、

前記受信手段が受信した前記データパターンと期待値とを比較して比較結果を出力するパターン比較手段と

を備えること

を特徴とする請求項3から請求項5のいずれか1項に記載の入出力インタフェース回路。

【請求項7】 前記パターン比較手段が出力する前記比較結果と、前記ジッタ供給手段が供給する前記ジッタの変調量および／または周波数に関する情報とを関連付けて格納する測定結果格納手段を更に具備することを特徴とする請求項3から請求項6のいずれか1項に記載の入出力インタフェース回路。

【請求項8】 前記パターン比較手段が出力する前記比較結果および前記ジッタ耐力の測定手順に応じて、前記ジッタの変調量および／または周波数を変化するように前記ジッタ供給手段を制御するジッタ供給手段制御手段を更に具備することを特徴とする請求項3から請求項7のいずれか1項に記載の入出力インタフェース回路。

【請求項9】 前記ジッタ供給制御手段は、前記パターン比較手段が出力する前記比較結果が合格である場合には、前記ジッタの変調量を変化させ、前記パターン比較手段が出力する前記比較結果が不合格である場合には、前記ジッタの周波数を変化させるよう前記ジッタ供給手段を制御することを特徴とする請求項3から請求項8のいずれか1項に記載の入出力インタフェース回路。

【請求項10】 前記データ送信回路の前記パターン生成手段は、前記データパターンに0または1が連続するデータを含ませる機能を更に備え、

前記データ受信回路の前記パターン比較手段は、前記0または1が連続するデータを受信したことを検出する機能と、前記機能により前記0または1が連続す

るデータを受信したことを検出した際には、前記比較結果を強制的に合格とする機能とを更に備えること

を特徴とする請求項3から請求項9のいずれか1項に記載の入出力インタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、LSI (Large-Scale Integrated Circuit) 間のデータ送受信や、LSIチップ内の複数の素子や回路ブロック間のデータ送受信や、ボード間や筐体間のデータ送受信を行う際のジッタトレランスを試験することが可能なデータ送信装置およびデータ送信回路を具備する入出力インタフェース回路に関するものである。

【0002】

【従来の技術】

一般に、回路ブロック間、チップ間、或いは筐体内のデータ送受信における送受信データは、その伝送線路特性等の使用環境に応じたジッタ（位相変動）を含む。データ受信回路はジッタを含んだデータを正しく判定できるようクロック復元回路を有する。データ送受信に関する多くの規格では、データ受信回路が正しくデータを判定しなければならないジッタ最小量として、ジッタトレランス（ジッタ耐力）を規定している。ジッタトレランスを満たすことはデータ送受信設計において必須である。また、ジッタトレランスを測定することにより、データ受信回路の性能評価をすることも可能である。

【0003】

具体的には、サービス総合デジタル網に使用される網終端装置の試験として、網終端装置に入力する信号に、所要のジッタを重畳することで、規定されたジッタを重畳した信号を誤り無く受信する性能を試験することが可能となるジッタ重畳方法が開示されている（例えば、特許文献1参照。）。また、パケット試験装置において、送出パケットに遅れジッタおよび進みジッタの両方を付加することで、ネットワークの実際の状態に近い遅延ジッタを付加することができるパケ

ット試験装置の遅延ジッタ挿入器が開示されている（例えば、特許文献2および特許文献3参照。）。

【0004】

しかし、上述したデータ送受信回路に対しては、量産試験におけるジッタトレランスを評価することができていない。それは、量産試験ではコストの関係より、高価なシステムを使用することができず、測定者が意図したジッタを含んだ送受信データを生成する別システムを構築することが非現実的だからである。例えば、従来の量産試験では、データ送信回路からの送信データを直接、データ受信回路に入力するループ構成により、データ受信回路を試験している。図11は、データ送受信回路（入出力インタフェース回路）を試験するためのループ構成を示す図である。

【0005】

図11において、1は、データ送受信回路であり、シリアルデータTXRX__DTを出力するデータ送信回路2と、データ送信回路2が出力するシリアルデータTXRX__DTを受信するデータ受信回路3と、基本クロック信号REF__CKを基にデータ送信回路2およびデータ受信回路3へそれぞれクロック信号TX__CKおよびクロック信号RX__CKを出力するクロック生成回路4から構成されている。

【0006】

具体的には、図11に示したクロック生成回路4は、625M（メガ）Hzの周波数である基本クロック信号REF__CKを基に、5G（ギガ）Hzの周波数であるクロック信号TX__CKをデータ送信回路2へ出力し、同じく5GHzの周波数であるクロック信号RX__CKをデータ受信回路3へ出力する。また、データ送信回路2とデータ受信回路3との間で送受信されるシリアルデータTXRX__DTの伝送速度は10Gbps（ビット／秒）である。

【0007】

次に、データ送信回路2の内部構成について説明する。図11に示すように、データ送信回路2は、クロック制御回路21と、PRBS（擬似ランダム・ビット・シーケンス）パターン生成回路22と、セレクタ23、24と、32：4変

換回路 25 と、ドライバ回路 26 より構成される。クロック制御回路 21 は、クロック生成回路 4 から 5 GHz の周波数であるクロック信号 TX__CK を受信して、2.5 GHz の周波数で位相を 90 度ずつシフトさせた 4 種類の位相となる 4 ビットのクロック信号 TX__DCK を 32:4 変換回路 25 およびドライバ回路 26 へ出力する。

【0008】

尚、4 ビットのクロック信号 TX__DCK のそれぞれを、TX__DCK__A、TX__DCK__B、TX__DCK__C、TX__DCK__D とする。また、クロック制御回路 21 は、クロック信号 TX__CK を 1/16 分周して 312.5 MHz のクロック信号 CLK を PRBS パターン生成回路 22 へ出力する。

【0009】

PRBS パターン生成回路 22 は、クロック制御回路 21 が出力するクロック信号 CLK に同期して、データ送受信回路 1 を試験するための擬似的なランダムパターンである 32 ビットのデータ PRBS__DT [31:0] を生成して出力する。尚、PRBS パターン生成回路 22 は、イネーブル信号 PRBS__EN が H (ハイ) レベルである場合に活性化される。尚、イネーブル信号 PRBS__EN は、データ送受信回路 1 の通常動作時は L (ロウ) レベルであり、試験時に H レベルとなる信号である。また、PRBS パターン生成回路 22 の詳細については後述する。

【0010】

セクタ 23、24 は、データ送信回路の試験時と通常動作とで 32:4 変換回路 25 へ入力する信号を切り替える。具体的には、セクタ 23 は、通常時は、外部からの任意の周波数であるクロック信号 USER__CK を選択して 32:4 変換回路 25 へクロック信号 TX__ICK として出力し、試験時は、PRBS パターン生成回路 22 が出力するクロック信号 PRBS__CK を選択して 32:4 変換回路 25 へクロック信号 TX__ICK として出力する。また、セクタ 24 は、通常時は外部からの任意の 32 ビットのデータ USER__DT [31:0] を選択して 32:4 変換回路 25 へデータ TX__IDT [31:0] として出力し、試験時は、PRBS パターン生成回路 22 が出力する 32 ビットのデータ

PRBS_DT [31:0] を選択して 32:4 変換回路 25 へデータ TX_IDT [31:0] として出力する。

【0011】

また、32:4 変換回路 25 は、入力される 32 ビットのデータ TX_IDT [31:0] を 4 ビットのデータ TX_DT [3:0] に変換してドライバ回路 26 へ出力する。具体的には、32:4 変換回路 25 は、32 ビットのデータ TX_IDT [31:0] を 312.5MHz のクロック信号 TX_ICK に同期して取り込み、32 ビットから 4 ビットへのデータ幅の変換処理を行い、4 ビットで 2.5GHz のクロック信号 TX_DCK にそれぞれ同期した 4 ビットのデータ TX_DT [3:0] を出力する。ここで、4 ビットのデータ TX_DT [3:0] を、TX_DT_A、TX_DT_B、TX_DT_C、TX_DT_D とする。

【0012】

次に、ドライバ回路 26 は、4 ビットのデータ TX_DT [3:0] を 1 ビットのシリアルデータ TX_RX_DT に変換して出力する。具体的には、ドライバ回路 26 は、位相の異なる 4 ビットのクロック信号 TX_DCK を利用して 4 ビットのデータ TX_DT [3:0] を 1 ビットのシリアルデータ TX_RX_DT に変換して 10Gbps の伝送速度で出力する。

以上に示した構成により、データ送信回路 2 は、試験時に、PRBS パターン生成回路 22 で生成した試験用の 32 ビットで 312.5Mbps のデータ PRBS_DT を、1 ビットで 10Gbps のシリアルデータ TX_RX_DT に変換して出力する。

【0013】

次に、データ受信回路 3 の内部構成について説明する。図 11 に示すように、データ受信回路 3 は、クロック制御回路 31 と、レシーバ回路 32 と、4:32 変換回路 33 と、パターン比較回路 34 より構成される。クロック制御回路 31 は、クロック生成回路 4 から 5GHz の周波数であるクロック信号 RX_CK を受信して、2.5GHz の周波数で位相を 90 度ずつシフトさせた 4 種類の位相となる 4 ビットのクロック信号 RX_DCK を 4:32 変換回路 33 およびレシ

ーバ回路 32 へ出力する。尚、4 ビットのクロック信号 RX_DCK のそれぞれを、 RX_DCK_A 、 RX_DCK_B 、 RX_DCK_C 、 RX_DCK_D とする。

【0014】

レシーバ回路 32 は、データ送信回路 2 より送信されるシリアルデータ $TXRX_DT$ を受信して、4 ビットの受信データ $RX_DT [3:0]$ および受信データ $RX_BDT [3:0]$ を出力する。具体的には、レシーバ回路 32 は、位相の異なる 4 ビットのクロック信号 RX_DCK のタイミングに応じて 1 ビットで 10 Gbps のシリアルデータ $TXRX_DT$ を受信し、4 ビットで 2.5 Gbps の受信データ $RX_DT [3:0]$ および受信データ $RX_BDT [3:0]$ を出力する。尚、受信データ $RX_DT [3:0]$ は、シリアルデータ $TXRX_DT$ の各データを確実に受信可能なタイミングで取り込み、4 ビットに変換した受信データである。また、受信データ $DX_BDT [3:0]$ は、シリアルデータ $TXRX_DT$ の各データにおける変化点のタイミングで取り込み、4 ビットに変換した受信データである。

【0015】

4:32 変換回路 33 は、レシーバ回路 32 より入力される 4 ビットの受信データ $DX_DT [3:0]$ および受信データ $DX_BDT [3:0]$ を、32 ビットの受信データ $RX_ODT [31:0]$ および受信データ $RX_OBDT [31:0]$ に変換して出力する。具体的には、4:32 変換回路 33 は、レシーバ回路 32 より入力される 4 ビットで 2.5 Gbps の受信データ $DX_DT [3:0]$ および受信データ $DX_BDT [3:0]$ を、クロック制御回路 31 より入力される 4 ビットのクロック信号 RX_DCK に応じて取り込み、32 ビットで 312.5 Mbps の受信データ $RX_ODT [31:0]$ および受信データ $RX_OBDT [31:0]$ に変換して出力する。この受信データ $RX_ODT [31:0]$ は、パターン比較回路 34 およびフィルタ回路 35 に入力される。また、受信データ $RX_OBDT [31:0]$ は、フィルタ回路 35 に入力される。また、4:32 変換回路 33 は、 2.5 GHz のクロック信号 DX_DCK を $1/8$ 分周して 312.5 MHz のクロック信号 RX_OCK をパターン比

較回路 34 およびフィルタ回路 35 へ出力する。

【0016】

パターン比較回路 34 は、4:32 変換回路 33 が出力する受信データ RX_ODT [31:0] を期待値と比較することで、受信時のエラーを検出する信号であるエラーフラグ ERROR を出力する。具体的には、パターン比較回路 34 は、4:32 変換回路 33 が出力する 32 ビットの受信データ RX_ODT [31:0] を同じく 4:32 変換回路 33 が出力するクロック信号 RX_OCK に同期して取り込み、期待値と比較する処理を行う。尚、パターン比較回路 34 は、イネーブル信号 COMP_EN が H (ハイ) レベルである場合に活性化される。尚、イネーブル信号 COMP_EN は、データ送受信回路 1 の通常動作時は L (ロウ) レベルであり、試験時に H レベルとなる信号である。また、パターン比較回路 34 の詳細については後述する。

【0017】

フィルタ回路 35 は、4:32 変換回路 33 が出力する受信データ RX_ODT [31:0] および受信データ RX_OBDT [31:0] を基に、クロック制御回路 31 が出力するクロック信号 RX_DCK の位相のずれを調整するための信号 PI_CODE を出力する。これにより、例えばクロック信号 RX_DCK の立ち上がりでシリアルデータ信号 TXRX_DT を取り込んでいる場合に、クロック信号 RX_DCK の立ち上がりが、シリアルデータ信号 TXRX_DT の各データにおける変化点の中間 (確実にデータ取り込みできるタイミング) となるように、クロック制御回路 31 の動作を制御することができる。

【0018】

次に、図 11 に示したクロック生成回路 4 における従来の回路構成例について説明する。

図 12 は、図 11 に示したクロック生成回路 4 における従来の回路構成例を示す図である。図 12 に示すように、クロック生成回路 4 は、位相比較器 41 と、フィルタ 42 と、VCO (Voltage Controlled Oscillator) 43 と、分周器 44 と、バッファ 45、46 より構成されている。ここで、位相比較器 41、フィルタ 42、VCO 43、分周器 44 により PL

L (Phase Locked Loop) が構成されていることは明らかであり、これにより、625MHzのリファレンスクロック信号REF__CKを基に、周波数を8倍した5GHzのクロック信号TX__CKおよびクロック信号RX__CKを、安定した位相で出力することができる。

【0019】

次に、図11に示したPRBSパターン生成回路22における従来の回路構成例について説明する。

図13は、図11に示したPRBSパターン生成回路22における従来の回路構成例を示す図である。図13に示すように、従来のPRBSパターン生成回路22は、フリップフロップ221、222と、論理素子223と、イネーブル機能付きフリップフロップ224と、XOR（排他的論理和）群225と、バッファ226、227より構成されている。

【0020】

フリップフロップ221は、外部からのイネーブル信号PRBS__ENをクロック信号CLKの立ち上がりに応じてラッチして、フリップフロップ222の入力端子および論理素子223の第1の入力端子へ、信号STARTとして出力する。フリップフロップ222は、フリップフロップ221の出力する信号STARTをクロック信号CLKの立ち上がりでラッチして、論理素子223の第2の入力端子へ出力する。論理素子223は、第1の入力端子に入力された信号STARTと、第2の入力端子に入力された信号を反転させた信号の論理積となる信号START__DETを出力する。

【0021】

イネーブル機能付きフリップフロップ（以下、イネーブルFFとする）224のイネーブル端子enには、論理素子223の出力する信号START__DETが入力される。尚、信号START__DETがHレベルからLレベルに変化した時にイネーブルFF224は活性化される。また、イネーブルFF224の入力端子には、XOR群225の出力するデータDT__NEXT [31:0]が入力される。また、イネーブルFF224は、XOR群225の入力端子へデータDT__NOW [31:0]を出力する。また、イネーブルFF224が出力するD

T_NOW [31:0] は、バッファ 226 を介してデータ (PRBS パターン) PRBS_DT [31:0] として外部へ出力される。

【0022】

尚、フリップフロップ 221、222 およびイネーブル FF 224 のクロック端子には、クロック信号 CLK が入力される。また、クロック信号 CLK は、バッファ 227 を介してクロック信号 PRBS_CK として出力される。また、フリップフロップ 221、222 および論理素子 223 により立ち上がり検出回路を構成している。この立ち上がり検出回路により、イネーブル信号 PRBS_EN の立ち上がりに応じて立ち上がるパルス信号である信号 START_DET が生成される。

以上の構成により、イネーブル信号 PRBS_EN の立ち上がりに応じて、PRBS パターン生成回路 22 は、XOR 群 225 で生成される PRBS パターンを出力する。

【0023】

更に、図 13 に示した XOR 群 225 の詳細な回路構成例について説明する。図 14 は、図 13 に示した XOR 群 225 の詳細な回路構成例を示す図である。図 14 に示すように、XOR 群 225 は、XOR (排他的論理和) 252 ~ 261 より構成されており、32 ビットの入力端子 251 と出力端子 262 を有する。入力端子 251 に図 13 に示したフリップフロップ 24 の現在の出力データ DT_NOW [31:0] が入力されることで、XOR 群 225 は、次サイクルの出力データ DT_NEXT [31:0] を生成して出力端子 262 より出力する。尚、入力端子 251 と出力端子 262 を接続する XOR 252 ~ 261 の接続構成は、PRBS パターンを生成可能な接続構成となっている。また、上述した PRBS パターンは、受信側でその一部を受信することで、後に続く受信信号の期待値を生成可能なパターンである。

【0024】

次に、図 13 に示した PRBS パターン生成回路 22 の動作について簡単に説明する。図 15 は、図 13 に示した PRBS パターン生成回路 22 の動作を説明するための波形図である。図 15 に示すように、クロック信号 CLK が PRBS

パターン生成回路 22 に供給されている。まず、時刻 t_{41} において、イネーブル信号 $PRBS_EN$ が立ち上がる。次に、時刻 t_{42} において、フリップフロップ 221 が、クロック信号 CLK の立ち上がり同期してイネーブル信号 $PRBS_EN$ をラッチすることで、信号 $START$ が H レベルに立ち上がる。これにより、論理素子 223 の出力する信号 $START_DET$ も H レベルに立ち上がり、イネーブル FF_{224} が非活性化される。

【0025】

次に、時刻 t_{43} において、クロック信号 CLK が立ち上がると、フリップフロップ 222 の出力が、H レベルに変化して、論理素子 223 の出力である信号 $START_DET$ が L レベルに立ち下がる。これにより、イネーブル FF_{224} が活性化されて、クロック信号 CLK の立ち上がり同期して、 $DT_NEXT[31:0]$ を取り込んで $DT_NOW[31:0]$ として出力する処理を行う。これにより、バッファ 226 は、 $DT_NOW[31:0]$ を $PRBS$ パターン $PRBS_DT[31:0]$ として出力する。以上に示すように、 $PRBS$ パターン生成回路 22 は、クロック信号 CLK に同期して $PRBS$ パターン $PRBS_DT[31:0]$ を生成し出力する。

【0026】

次に、図 11 に示したパターン比較回路 34 における従来の回路構成例について説明する。

図 16 は、図 11 に示したパターン比較回路 34 における従来の回路構成例を示す図である。図 16 に示すように、従来のパターン比較回路 34 は、フリップフロップ 341、343、347～349 と、セクタ 342 と、XOR（排他的論理和）群 344 と、比較回路 345 と、デマルチプレクサ 346 と、論理素子 350 と、シーケンサ 351 より構成されている。

【0027】

フリップフロップ 341 は、4:32 変換回路 33 より入力されるデータ $RX_ODT[31:0]$ を、クロック信号 RX_OCK の立ち上がりで取り込み、データ $DT[31:0]$ として出力する。セクタ 342 は、フリップフロップ 341 の出力するデータ $DT[31:0]$ または XOR 群 344 が出力するデー

タDT_NEXT2 [31:0] のいずれかを選択してフリップフロップ343へ出力する。この時、セクタ342は、シーケンサ351からの制御信号STATE_SELに応じて上記選択を行う。

【0028】

フリップフロップ343は、セクタ342より入力されるデータを、クロック信号RX_OCKの立ち上がりに応じてデータDT_NOW2 [31:0] としてXOR群344へ出力する。XOR群344は、フリップフロップ343から入力されるDT_NOW2 [31:0] を基に、データDT_NEXT2 [31:0] を出力する。また、XOR群344が出力するデータDT_NEXT2 [31:0] は、期待値データとして、比較回路345の第1の入力端子に入力される。また、フリップフロップ341が出力するデータDT [31:0] は、受信データとして、比較回路345の第2の入力端子に入力される。

【0029】

比較回路345は、期待値データ（データDT_NEXT2 [31:0] ）と、受信データ（データDT [31:0] ）を比較して、比較結果を出力する。尚、比較回路345は、比較結果として一致すればLレベル、一致しなければHレベルの信号を出力する。デマルチプレクサ346は、比較回路345より入力される信号を、シーケンサ351が出力する制御信号STATE_SELに応じて選択した出力先へ出力する。具体的には、制御信号STATE_SEL=Lレベルの時は、フリップフロップ347を出力先として選択し、制御信号STATE_SEL=Hレベルの時はシーケンサ351を出力先として選択する。フリップフロップ347は、デマルチプレクサ346を介して比較回路345より入力される信号をクロック信号RX_OCKの立ち上がりで取り込み、エラー検出信号であるエラーフラグERRORを出力する。

【0030】

フリップフロップ348は、外部より入力されるイネーブル信号COMP_ENを、クロック信号RX_OCKの立ち上がりに応じてラッチして、フリップフロップ349の入力端子および論理素子350の第1の入力端子へ、信号STARTとして出力する。フリップフロップ349は、フリップフロップ348の出

力する信号 S T A R T 2 をクロック信号 R X _ O C K の立ち上がりでラッチして、論理素子 3 5 0 の第 2 の入力端子へ出力する。論理素子 3 5 0 は、第 1 の入力端子に入力された信号 S T A R T 2 と、第 2 の入力端子に入力された信号を反転させた信号の論理積となる信号 S T A R T _ D E T 2 を出力する。

【0031】

シーケンサ 3 5 1 のイネーブル端子 e n には、論理素子 3 5 0 の出力する信号 S T A R T _ D E T 2 が入力される。また、シーケンサ 3 5 1 の入力端子には、デマルチプレクサ 3 4 6 の出力する信号 C M P _ F L A G が入力される。また、シーケンサ 3 5 1 は、信号 S T A R T _ D E T 2 を基に、一定期間 H レベルとなる制御信号 S T A T E _ S E L を出力する。

【0032】

尚、フリップフロップ 3 4 1、3 4 3、3 4 7 ~ 3 4 9 と、シーケンサ 3 5 1 のクロック端子には、クロック信号 R X _ O C K が入力される。また、X O R 群 3 4 4 の回路構成は、図 1 3 に示した X O R 群 2 2 5 の詳細な回路構成例と同じである。また、フリップフロップ 3 4 8、3 4 9 および論理素子 3 5 0 により立ち上がり検出回路を構成している。すなわち、この立ち上がり検出回路が、イネーブル信号 C O M P _ E N の立ち上がりを検出して立ち上がるパルス信号である信号 S T A R T _ D E T 2 を出力する。

以上の構成により、イネーブル信号 C O M P _ E N の立ち上がりに応じて、パターン比較回路 3 4 は、受信データと期待値データとを比較してエラーフラグ E R R O R を出力する。

【0033】

次に、図 1 6 に示したパターン比較回路 3 4 の動作について簡単に説明する。図 1 7 は、図 1 6 に示したパターン比較回路 3 4 の動作を説明するための波形図である。図 1 7 に示すように、クロック信号 R X _ O C K がパターン比較回路 3 4 に供給されている。まず、時刻 t 5 1 において、イネーブル信号 C O M P _ E N が立ち上がる。次に、時刻 t 5 2 において、フリップフロップ 3 4 8 は、クロック信号 R X _ O C K の立ち上がりに応じてイネーブル信号 C O M P _ E N をラッチすることで、信号 S T A R T 2 が H レベルに立ち上がる。これにより、論理

素子 350 の出力する信号 `START_DET2` が 1 クロックの間 H レベルとなる。

【0034】

次に、時刻 t_{53} において、シーケンサ 351 は、信号 `START_DET2` の H レベル期間が終わり L レベルに立ち下がると、制御信号 `STATE_SEL` を H レベルに立ち上げる。これにより、セクタ 342 は、フリップフロップ 341 が出力するデータ `DT[31:0]` をフリップフロップ 343 へ出力する。また、デマルチプレクサ 346 は、比較回路 345 の出力信号を信号 `CMP_FLAG` としてシーケンサ 351 へ出力する。以上により、パターン比較回路 34 は、受信データ `RX_ODT[31:0]` を基に、XOR 群 344 において適正な期待値が出力される状態となるようにする `LOCK` 検出状態となる。

【0035】

ここで、`LOCK` 検出状態について説明する。一般的に受信側でパターン比較を行う場合は、受信データの先頭検出 (`LOCK` 検出) 状態とエラー検出状態に分かれる。図 16 に示す制御信号 `STATE_SEL` はそのいずれかの状態に制御するための信号である。具体的には、`STATE_SEL` = H レベルを `LOCK` 検出状態、`STATE_SEL` = L レベルをエラー検出状態に対応させている。また、`LOCK` 検出状態の間は、エラーフラグ `ERROR` は、L レベルを保持する。

【0036】

`LOCK` 検出状態では、クロックのサイクル毎に受信データ `DT[31:0]` をフリップフロップ 343 に取込み、それを初期値データ `DT_NOW2[31:0]` として XOR 群 344 が期待値データ `DT_NEXT2[31:0]` を生成する。このように生成された期待値データ `DT_NEXT2[31:0]` と受信データ `DT[31:0]` を比較回路 345 で比較する。比較回路 345 において、数サイクル連続して比較結果が一致した場合には、`LOCK` している (適正な期待値が生成できている) と見なし、エラー検出状態に移行する。上述した数サイクルは、シーケンサ 351 の処理により定まる。具体的には、シーケンサ 351 は、信号 `START_DET2` の立ち下がりから所定の数サイクルをカウン

ト後に立ち上がるパルス信号である内部信号HEAD__ENDを生成する機能を有する。以下、図17を参照してエラー検出状態への移行について説明する。

【0037】

時刻t54において、シーケンサ351は、所定数の数サイクルをカウントして内部信号HEAD__ENDを立ち上げる。次に、時刻t55において、シーケンサ351は、内部信号HEAD__ENDを立ち下げ、これに応じて制御信号STATE__SELを立ち下げる。以上により、パターン比較回路34は、エラー検出状態となり、時刻t56からフリップフロップ347がクロック信号に同期して、エラーフラグERRORを出力する。

以上に説明したように、量産試験では、データ送信回路2からの送信データを直接、データ受信回路3に入力するループ構成により、データ送受信回路1の送受信機能を評価している。

【0038】

また、上述したように、データ受信回路3において、受信データTXRX__DTの位相と内部クロック信号RX__DCKの位相の差に応じて、クロック制御回路31は、内部クロック信号RX__DCKの位相を調整する。しかしながら、受信データTXRX__DTに0→1または1→0のような変化がなければ、受信データTXRX__DTと内部クロック信号RX__DCKの位相差を検出することができない。このため、一般的な通信規格では変化のないデータの長さを0ラン(Run) レングスまたは1ランレングスとして規定している。すなわち、0(Lレベル) データが連続する長さを0ランレングス、1(Hレベル) データが連続する長さを1ランレングスとする。例えば、SONET規格では0ランレングスまたは1ラン(Run) レングスとして最長72bitを規定している。この0ランレングスまたは1ランレングスを含んだデータを使用したジッターレランスを満たすことはデータ送受信設計において必須である。

【0039】

【特許文献1】

特開平4-220045号公報

【特許文献2】

特開平 1-241945 号公報

【特許文献 3】

特開平 1-235437 号公報

【0040】

【発明が解決しようとする課題】

しかしながら、上述した量産試験では、送受信データ TXRX_DT にはデータ送受信回路 1 が使用されるであろう環境に応じたジッタや、設計仕様などにおいてデータ送受信回路 1 に対して規定するジッタトレランスに相当するジッタが含まれていない。すなわち、ジッタトレランスの試験ができていないという問題がある。

また、上述したジッタトレランスの特性を測定する際には、クロック信号に付与するジッタの変調周波数および変調の深さ（変調量）を何通りもの組み合わせで変化させて測定する必要がある、その測定の自動化の要望が高まっていた。

また、上述した量産試験では、0 ランレングスまたは 1 ランレングスを含んだ送信データを使用したジッタトレランスを評価することができていないという問題がある。

【0041】

本発明は、上述した事情を考慮してなされたもので、量産試験時にデータ送受信におけるジッタトレランスについて試験することができ、故障検出率の向上を図ることができるデータ送信装置およびデータ送信回路を備える入出力インタフェース回路を提供することを目的とする。

また、本発明は、データ送受信におけるジッタトレランスの特性を自動で測定することができるデータ送信装置およびデータ送信回路を備える入出力インタフェース回路を提供することを目的とする。

また、本発明は、送受信データに 0 ランレングスまたは 1 ランレングスが含まれていた場合でも、量産試験時にデータ送受信のジッタトレランスを試験することができ、故障検出率の向上を図ることができるデータ送信装置およびデータ送信回路を備える入出力インタフェース回路を提供することを目的とする。

【0042】

【課題を解決するための手段】

この発明は、上述した課題を解決すべくなされたもので、本発明によるデータ送信装置およびデータ送信回路を備える入出力インタフェース回路においては、クロック信号を生成するクロック生成手段と、クロック生成手段が生成したクロック信号にジッタを含ませるジッタ供給手段と、ジッタを含むクロック信号に同期してデータを送信するデータ送信回路とを具備することを特徴とする。

【0043】

これにより、本発明によるデータ送信装置およびデータ送信回路を備える入出力インタフェース回路においては、データ送信回路に供給するクロック信号にジッタを含ませることができるので、データ送信回路が出力する送信データもジッタを含むものにすることができる。これにより、このジッタを含む送信データをデータ受信回路が適正に受信できるか否かをチェックすることで、ジッタトレランスの試験を行うことができる。

【0044】**【発明の実施の形態】**

以下、発明の実施の形態を説明する。

まず、本発明の第1の実施形態であるジッタ試験用回路を含むデータ送受信回路（入出力インタフェース回路）の全体構成について図を用いて説明する。図1は、本発明の第1の実施形態であるジッタ試験用回路を含むデータ送受信回路の全体構成を示す図である。尚、図1において、図11と同じ符号を付与した回路は、同様の機能および構成を有する回路であり、それらの説明を省略する。図1のデータ送受信回路1aにおいて、図11に示した従来のデータ送受信回路1と異なる点は、クロック生成回路5を有する点である。このクロック生成回路5は、図11のクロック生成回路4と異なり、ジッタを含んだクロックTX_CKを出力可能である。尚、データ送信回路2とクロック生成回路5とによりジッタを含むデータを送信可能なデータ送信装置が構成されている。

【0045】

また、図11には、示していなかったが、クロック制御回路21は、図1に示すように、例えば、1/2の周波数に分周する分周器21a、4種類の位相とな

るよう位相をシフトさせる位相シフト回路 21b、 $1/8$ の周波数に分周する分周器 21cより構成される。これにより、クロック生成回路 5より入力されるジッタを含んだ 5GHz のクロック信号 TX_CK を、分周器 21a が $1/2$ の周波数 (2.5GHz) に分周したクロック信号 TX_DCK を出力する。次に、位相シフト回路 21b は、この分周されたクロック信号の位相を 90 度単位でずらした 4 種類の位相となるクロック信号 TX_DCK_A ~ D を出力する。また、分周器 21c は、クロック信号 TX_DCK を更に $1/8$ の周波数 (312.5MHz) のクロック信号 CLK を出力する。

【0046】

また、クロック生成回路 5 には、クロック信号 TX_CK に含めるジッタの種類や大きさを定める各種設定信号と、ジッタ試験を行うか否かを制御する信号である信号 TEST とが入力される。具体的には、クロック生成回路 5 は、信号 TEST = H (ハイ) レベルであればジッタ試験を行う動作を行い、クロック信号 TX_CK に各種設定信号に応じて生成したジッタを含めて出力する。また、信号 TEST = L (ロウ) レベルであればクロック生成回路 5 は、通常動作を行い、生成したジッタを含まないクロック信号 TX_CK を出力する。

【0047】

次に、図 1 に示したクロック生成回路 5 の内部構成例を 2 つ挙げて以下に説明する。まず、図 1 に示したクロック生成回路 5 の内部構成例 1 について説明する。

図 2 は、図 1 に示したクロック生成回路 5 の内部構成例 1 を示す図である。この図 2 に示すクロック生成回路 5 の内部構成例 1 において、図 12 に示したクロック生成回路 4 の内部構成と同じ符合を付与したものは同じ機能を有するので説明を諸略する。図 2 に示すように、クロック生成回路 5 は、従来のクロック生成回路 4 と同様の構成である位相比較器 41、フィルタ 42、第 1 の VCO 43、分周器 44、バッファ 45、46 に加えて、クロック信号 TX_CK にジッタを含ませるため、ジッタ生成回路 51、電圧加算器 52、第 2 の VCO 53、セレクタ 54 を更に具備する。尚、図 2 の第 1 の VCO 43 は、図 12 の VCO 43 と名称が異なるが、第 2 の VCO 53 と区別するためであり、同様のものである。

。

【0048】

上述したジッタ生成回路 51 の入力端子には、上述した各種設定信号が入力される。また、ジッタ生成回路 51 の出力端子は、電圧加算器 52 の第 1 の入力端子に接続される。また、電圧加算器 52 の第 2 の入力端子は、フィルタ 42 の出力端子と第 1 の VCO 43 の入力端子の相互接続点に接続される。また、電圧加算器 52 の出力端子は、第 2 の VCO 53 の入力端子に接続される。また、セレクタ 54 の第 1 の入力端子には、第 2 の VCO 53 の出力端子が接続され、セレクタ 54 の第 2 の入力端子には、第 1 の VCO 43 の出力端子が接続される。また、セレクタ 54 の制御端子には、信号 TEST が入力される。また、セレクタ 54 の出力端子は、バッファ 45 の入力端子に接続される。

【0049】

次に、図 2 に示したクロック生成回路 5 におけるジッタを含むクロックの生成処理について説明する。

図 2 のジッタ生成回路 51 は、各種設定信号に応じて例えば、正弦波パターンやランダムパターンのジッタとなる制御電圧を出力する。この制御電圧は、具体的には、各種設定信号により与えられた正弦波パターンの周期や振幅、ランダムパターンの最大振幅に応じて変化する。電圧加算器 52 は、フィルタ 42 の出力電圧と、ジッタ生成回路 51 が出力する制御電圧（ジッタ成分）とを足し合わせた電圧を出力する。第 2 の VCO 53 は、電圧加算器 52 が出力するジッタ成分を含む電圧に応じた周波数（ $5\text{ GHz} \pm \text{ジッタ分}$ ）のクロック信号 CK1 を出力する。すなわち、第 2 の VCO 53 は、ジッタ生成回路 51 の出力する制御電圧と第 1 の VCO 43 を含むループにあるフィルタ 42 の出力電圧の和に応じて、出力するクロック信号の周波数を変化させる。

【0050】

セレクタ 54 は、信号 TEST = H レベルの場合には、ジッタを含むクロック信号 CK1 を選択して出力し、信号 TEST = L レベルの場合には、ジッタを含まないクロック信号 CK を選択して出力する。以上により、信号 TEST = H レベルの時は、クロック生成回路 5 は、第 2 の VCO 53 が出力するジッタを含む

クロック信号CK1をクロック信号TX__CKとして出力する。これにより、図1に示したクロック制御回路21は、ジッタを含むクロック信号TX__CKを分周したクロック信号を出力する。すなわち、データ送受信回路1a内にあるPRBSパターン生成回路22は、ジッタを含むクロック信号に同期して動作する。また、32:4変換回路25およびドライバ回路26は、PRBSパターン生成回路22が出力するパラレルデータPRBS_DT[31:0]を、ジッタを含むクロック信号にてシリアルデータに変換する。

【0051】

以上により、データ送信回路2は、ジッタを含んだ送信データTXRX_DTを出力することができる。これにより、データ受信回路3は、このジッタを含んだ送信データTXRX_DTを受信する。ここで、データ受信回路3が、ジッタを含んだ送信データTXRX_DTを適正に受信できたか否かを検出することにより、ジッタトレランスの試験を行うことができる。

【0052】

次に、図1に示したクロック生成回路5の内部構成例2について説明する。

図3は、図1に示したクロック生成回路5の内部構成例2を示す図である。この図3に示すクロック生成回路5の内部構成例2において、図12に示したクロック生成回路4の内部構成と同じ符合を付与したものは同じ機能を有するので説明を諸略する。図3に示すように、クロック生成回路5は、従来のクロック生成回路4と同様の構成である位相比較器41、フィルタ42、VCO43、分周器44、バッファ45、46に加えて、クロック信号TX__CKにジッタを含ませるため、ジッタ生成回路51、セクタ54、DLL(Delay Locked Loop)55を更に具備する。尚、ジッタ生成回路51およびセクタ54は、図2に示したものと同様の機能を有する。

【0053】

上述したジッタ生成回路51の入力端子には、上述した各種設定信号が入力される。また、ジッタ生成回路51の出力端子は、DLL55の制御電圧入力端子に接続される。また、DLL55のクロック信号入力端子は、VCO43の出力端子に接続される。また、セクタ54の第1の入力端子には、DLL55の出

力端子が接続され、セクタ 54 の第 2 の入力端子には、VCO 43 の出力端子が接続される。また、セクタ 54 の制御端子には、信号 TEST が入力される。また、セクタ 54 の出力端子は、バッファ 45 の入力端子に接続される。

【0054】

次に、図 3 に示したクロック生成回路 5 におけるジッタを含むクロックの生成処理について説明する。

図 3 のジッタ生成回路 51 は、各種設定信号に応じて例えば、正弦波パターンやランダムパターンのジッタとなる制御電圧を出力する。DLL 55 は、ジッタ生成回路 51 が出力する制御電圧に応じて、その内部遅延量を変化させることで、VCO 43 より入力されるクロック信号の周波数を変化させてクロック信号 CK2 を出力する。すなわち、DLL 55 は、ジッタ生成回路 51 が出力する制御電圧に応じたジッタ成分を含む周波数（5 GHz ± ジッタ）のクロック信号 CK2 を出力する。

【0055】

セクタ 54 は、信号 TEST = H レベルの場合には、ジッタを含むクロック信号 CK2 を選択して出力し、信号 TEST = L レベルの場合には、ジッタを含まないクロック信号 CK を選択して出力する。以上により、信号 TEST = H レベルの時は、クロック生成回路 5 は、DLL 55 が出力するジッタを含むクロック信号 CK2 をクロック信号 TX__CK として出力する。以上により、図 2 の場合でも説明したように、図 1 に示すデータ送受信回路 1a 内にあるデータ送信回路 2 は、ジッタを含んだ送信データ TXRX__DT を出力することができる。これにより、データ受信回路 3 が、ジッタを含んだ送信データ TXRX__DT を適正に受信できたか否かを検出することで、データ送受信回路 1a におけるジッタトレランスの試験を行うことができる。

【0056】

次に、本発明の第 2 の実施形態として、上述したクロック生成回路 5 を備え、更に、ジッタを含む送受信試験の測定時間やジッタの変調の深さ（変調量）や周波数を自動で変更して複数回の測定可能としたデータ送受信回路について説明する。この複数回の測定により得た測定データにより、ジッタトレランスの特性を

示すグラフを生成することもできる。但し、ジッタトレランスの特性を示すグラフが生成できる程の測定は、量産試験時ではなく、試作段階やデータ送受信回路の特性評価段階で行うものである。この、ジッタトレランスの特性を基に、量産試験時にクロック信号に付与するジッタの変調周波数や変調の深さを決定する。また、量産試験時は、時間の制約もあり、ジッタの変調周波数や変調の深さを変えて試験することは希であり、通常は、ジッタトレランスの規格に対して最もジッタトレランスの特性が余裕のない部分のみを1回測定する。

【0057】

ここで、ジッタの変調周波数と変調の深さについて更に説明する。

ジッタを含まないクロック信号TX_CKの周波数を f_c とすると、ジッタを含んだクロック信号TX_CKの周波数 f_c' は以下の式で表される。

$$f_c' = f_c \{1 + \delta \times \cos(2\pi \times f_m \times t)\}$$

但し、 δ ：変調の深さ、 f_m ：変調周波数、 t ：時間の変数

【0058】

図4は、本発明の第2の実施形態であるジッタ試験用回路を含むデータ送受信回路の全体構成を示す図である。尚、図4において、図11と同じ符号を付与した回路は、同様の機能および構成を有する回路であり、それらの説明を省略する。図4のデータ送受信回路1bにおいて、図11に示したデータ送受信回路1と異なる点は、データ受信回路3aとクロック生成回路5およびクロック生成回路制御回路6を有する点である。

【0059】

ここで、データ受信回路3aは、図11に示したデータ受信回路3とは、測定時間カウント回路36を有する点が異なり、他の構成は同じである。また、図4のクロック生成回路5は、図1に示したクロック生成回路5と同様の構成である。すなわち、図4のクロック生成回路5の内部構成は、図2に示した構成であっても図3に示した構成であってもよい。また、クロック生成回路制御回路6は、データ受信回路3aからクロック信号RX_OCKと、試験結果を示す信号である信号OK_FLAGおよび信号NG_FLAGを受信する。また、クロック生成回路制御回路6は、外部から各種設定データを受信する。また、クロック生成

回路制御回路 6 は、上記受信する複数の信号やデータを基に制御した各種設定信号を、クロック生成回路 5 へ出力する。

【0060】

次に、データ受信回路 3 a の測定時間カウント回路 3 6 について説明する。測定時間カウント回路 3 6 は、4 : 3 2 変換回路 3 3 の出力するクロック信号 $RX_O C K$ が入力される入力端子を備える。また、測定時間カウント回路 3 6 は、パターン比較回路 3 4 の出力するエラーフラグ $E R R O R$ が入力される入力端子を備える。また、測定時間カウント回路 3 6 は、外部から入力される信号であるイネーブル信号 $C O M P_E N$ および測定時間設定信号 $M E A S_T I M E$ が入力される入力端子を備える。また、測定時間カウント回路 3 6 は、パターン比較回路 3 4 へリセット信号 $C O M P_R S T$ を出力し、クロック生成回路制御回路 6 へ信号 $O K_F L A G$ および信号 $N G_F L A G$ を出力する。

【0061】

上述した測定時間カウント回路 3 6 は、ジッタトレランス評価時間を規定するための回路であり、その時間は測定時間設定信号 $M E A S_T I M E$ により外部より変更可能である。この測定時間カウント回路 3 6 を設けた理由は、ジッタトレランスを評価するには、ある変調周波数とある変調の深さの正弦波ジッタを含んだデータ $T X R X_D T$ を規定した時間に相当する間だけ受信するという仕組みが必要だからである。また、測定時間カウント回路 3 6 が出力するリセット信号 $C O M P_R S T$ は、図 16 には示していないが、例えば、図 16 のシーケンサ 3 5 1 へ入力されて、シーケンサ 3 5 1 を初期状態 ($S T A T E_S E L = H$ の状態) にリセットする。

【0062】

また、測定時間カウント回路 3 6 は、測定時間設定信号 $M E A S_T I M E$ で設定された時間（以下、設定時間とする）の間、パターン比較回路 3 4 が出力するエラーフラグ $E R R O R = H$ レベルとなるか否かを検出する。具体的には、測定時間カウント回路 3 6 は、設定時間内にエラーフラグ $E R R O R = H$ レベルを検出しなかった場合には、データ受信回路 3 a が、正弦波ジッタを含んだデータ $T X R X_D T$ を正しく受信できたと判断し信号 $O K_F L A G = H$ レベルを出

力する。一方、測定時間カウント回路 36 は、設定時間内にエラーフラグ ERROR = H レベルを検出した場合には、信号 NG_FLAG = H レベルを出力する。

【0063】

これにより、クロック生成回路制御回路 6 は、信号 OK_FLAG = H レベルの場合には、ジッタの変調の深さを変更するようクロック生成回路 5 に指示する各種設定信号を出力する。また、クロック生成回路制御回路 6 は、信号 NG_FLAG = H レベルの場合には、ジッタの変調周波数を変更するようクロック生成回路 5 に指示する各種設定信号を出力する。すなわち、クロック生成回路制御回路 6 は、外部からの各種設定データと信号 OK_FLAG および信号 NG_FLAG に応じて各種設定信号を出力する。

【0064】

具体的には、クロック生成回路制御回路 6 は、各種設定データとしてデータ MF_INIT、データ MF_STEP、データ MD_INIT、データ MD_STEP、データ MEAS_STOP_MF、データ JT_START を受信する。データ MF_INIT は、ジッタトレランス測定におけるジッタの変調周波数の初期値である。データ MF_STEP は、信号 NG_FLAG = H レベルの際に変化させる変調周波数の変化ステップを指示する値である。データ MD_INIT は、ジッタにおける変調の深さの初期値である。データ MD_STEP は、信号 OK_FLAG = H レベルの際に変化させる変調の深さの変化ステップを指示する値である。データ MEAS_STOP_MF は、測定終了となる変調周波数（測定終了変調周波数）を設定する。また、データ JT_START は、測定開始を指示する。尚、上述した各設定データは変更可能である。

【0065】

以上により、クロック生成回路制御回路 6 は、上述した設定に応じて各種設定信号を出力することで、クロック生成回路 5 内のジッタ生成回路 51 の回路パラメータを変化させ、送受信データ TXRX_DT に含まれるジッタ量を変化させる。また、クロック生成回路制御回路 6 は、測定が終了した場合に、測定終了を示す信号 MEAS_END をデータ送受信回路 1b の外部へ出力する。

【0066】

また、クロック生成回路制御回路6は、信号NG_FLAG=Hレベルを検出した際に、例えばジッタの変調周波数と変調の深さを示す内部コードを記憶する。これにより、データ送受信回路1bは、自動的にジッタトレランスの特性を示すグラフを生成することができる。すなわち、データ送受信回路1bのジッタトレランスを評価することができる。

【0067】

次に、図4に示したデータ送受信回路1bが、ジッタトレランスの特性を測定する動作について説明する。

図5は、図4に示したデータ送受信回路1bが、ジッタトレランスの特性を測定する動作を示す図である。図5に示すように、まず、ステップS1において、データJT_STARTの指示によりデータ送受信回路1bのクロック生成回路5を活性化して、信号TEST=Hレベルにする。これにより、クロック生成回路5は、ジッタを含むクロック信号TX_CKの出力を開始する。そして、クロック生成回路5におけるPLLの動作が安定するために必要とする時間を十分経過した後、次のステップS2に進む。

【0068】

次に、ステップS2において、データ送信回路2およびデータ受信回路3aを活性化することで、それぞれがクロック信号TX_CK、RX_CKに同期した動作を開始する。また、PRBS_EN=Hレベルにする。次に、ステップS3において、データ送信回路2は、PRBSパターン生成回路22で生成したPRBSパターンのデータPRBS_DT[31:0]をジッタを含むクロック信号で処理することで、ジッタを含む送受信データTXRX_DTを生成して出力する。尚、この時、クロック生成回路制御回路6より各種設定データの設定に応じた各種設定信号を受信するクロック生成回路5は、受信した各種設定信号に応じた変調周波数や変調の深さとなるジッタをクロック信号TX_CKに含ませる。

【0069】

次に、ステップS4において、データ受信回路3aは、ジッタを含む送受信データTXRX_DTを受信して、パターン比較回路34にて期待値と比較するこ

とで、受信状態の測定を開始する。この時、イネーブル信号COMP__EN=Hレベルであり、測定時間設定信号MEAS__TIMEが設定されることで測定時間が定まっている。また、パターン比較回路34は、LOCK検出状態の後にエラー検出状態（測定開始）となることは、図17で説明した通りである。

【0070】

次に、ステップS5において、クロック生成回路制御回路6は、信号NG__FLAG=Hレベルであるか否かを検出する。ここで、信号NG__FLAG=Hレベルを検出していない場合（ステップS5のNo）には、ステップS6に進み、クロック生成回路制御回路6は、測定時間が終了してかつ信号OK__FLAG=Hレベルであるか否かを検出する。また、信号NG__FLAG=Hレベルを検出した場合（ステップS5のYes）には、クロック生成回路制御回路6は、ステップS9に進む。このステップS9については後述する。

【0071】

ステップS6において測定時間が終了してかつ信号OK__FLAG=Hレベルであることを検出していない場合（ステップS6のNo）には、ステップS5に戻り、データ受信回路3aは、受信状態の測定処理を継続して、クロック生成回路制御回路6は、信号NG__FLAG=Hレベルとなるか否かの検出を行う。また、ステップS6において測定時間が終了してかつ信号OK__FLAG=Hレベルであることを検出した場合（ステップS6のYes）には、ステップS7に進み、クロック生成回路制御回路6は、ジッタとして付与する変調の深さを変更する。次に、ステップS8に進み、データ受信回路3aは、測定時間カウント回路36およびパターン比較回路34を初期化して、ステップS5に戻る。

【0072】

上述したステップS7における変調の深さの変更（本実施形態では、変調の深さがだんだん大きくなるように変更している）は、ステップS5において信号NG__FLAG=Hレベルが検出されるまで行われる。これにより、ある変調周波数における最大の変調の深さを求めることができる。

【0073】

次に、ステップS5において信号NG__FLAG=Hレベルを検出した場合（

ステップS5のYes)には、クロック生成回路制御回路6は、ステップS9に進み、クロック生成回路制御回路6は、その時のジッタとして付与した変調周波数および変調の深さの値を内部コード化して記憶する。次に、ステップS10に進み、クロック生成回路制御回路6は、ステップS9で記憶した変調周波数がデータMEAS__STOP__MFで設定された測定終了変調周波数と同じであるか否かを検出する。

【0074】

ここで、ステップS9で記憶した変調周波数が測定終了変調周波数と同じである場合(ステップS10のNo)には、データ送受信回路1bは、ジッタトレランスの特性の測定処理を終了する。また、ステップS9で記憶した変調周波数が測定終了変調周波数と異なる場合(ステップS10のYes)には、ステップS11に進み、クロック生成回路制御回路6は、変調周波数を変更してステップS8に進む。尚、ステップS11の変調周波数の変更は、データMF__INITで定まる初期値から始まり、データMF__STEPに応じたステップ幅で変更される。また、ステップS11の変調周波数の変更により、各変調周波数におけるジッタトレランスを測定している。

【0075】

以上の処理により、データ送受信回路1bは、記憶した変調周波数と変調の深さを出力することができる。これにより、各変調周波数と変調の深さの変化をプロットしたグラフを生成し、ジッタトレランスの特性を示すことができる。また、本実施形態におけるデータ送受信回路1bを用いれば、従来の量産試験システムを使用しながら、ジッタトレランスの特性を評価することができる。

【0076】

次に、本発明の第3の実施形態として、0ランレングスまたは1ランレングスを含む送受信データを用いて送受信試験が可能なデータ送受信回路について説明する。図6は、本発明の第3の実施形態であるジッタ試験用回路を含むデータ送受信回路の全体構成を示す図である。尚、図6において、図11と同じ符号を付与した回路は、同様の機能および構成を有する回路であり、それらの説明を省略する。図6のデータ送受信回路1cにおいて、図11に示したデータ送受信回路

1と異なる点は、データ送信回路2cとデータ受信回路3cとクロック生成回路5を有する点である。

【0077】

ここで、図6のデータ送信回路2cは、図11に示したデータ送信回路2とは、PRBSパターン生成回路22aを有する点が異なり、他の構成は同じである。また、図6のデータ受信回路3cは、図11に示したデータ受信回路3とは、パターン比較回路34aを有する点が異なり、他の構成は同じである。また、図6のクロック生成回路5は、図1に示したクロック生成回路5と同様の構成である。すなわち、図6のクロック生成回路5の内部構成は、図2に示した構成であっても図3に示した構成であってもよい。

【0078】

上述したPRBSパターン生成回路22aは、0ランレングスまたは1ランレングスを含むPRBSパターンを生成する。これにより、データ送信回路2cは、0ランレングスまたは1ランレングスを含む送受信データTXRX_DTを出力することができる。また、PRBSパターン生成回路22aは、送受信データの一部を0ランレングスまたは1ランレングスに置き換える周期を外部からのデータCYCLE[15:0]に応じて設定する。また、PRBSパターン生成回路22aは、0ランレングスまたは1ランレングスの長さを外部からのデータLENGTH[3:0]に応じて設定する。

【0079】

尚、PRBSパターン生成回路22aが0ランレングスまたは1ランレングスを含むPRBSパターンを生成する方法として、0ランレングスまたは1ランレングスを、PRBSパターンの一部と置き換える方法や、0ランレングスまたは1ランレングスを、PRBSパターンの途中に挿入する方法などを用いて好適である。

【0080】

また、上述したパターン比較回路34aは、受信したデータに含まれる0ランレングスまたは1ランレングスを検出する機能を有する。具体的には、パターン比較回路34aは、受信データ(RXO_DT[31:0])が全てLレベルま

たはHレベルであることを検出する。また、パターン比較回路34aは、0ランレングスまたは1ランレングスを検出した場合に、エラーフラグERRORを強制的にLレベルにする機能を有する。これにより、データ受信回路3cは、0ランレングスまたは1ランレングスを含む送受信データTXRX_DTを受信した場合であっても、適正なエラーフラグERRORを出力することができる。

【0081】

以上の構成により、データ送受信回路1cは、0ランレングスまたは1ランレングスとジッタを含む送受信データTXRX_DTの送受信試験を行うことができる。

【0082】

次に、図6に示したPRBSパターン生成回路22aの内部構成例について説明する。

図7は、図6に示したPRBSパターン生成回路22aの内部構成例を示す図である。図7のPRBSパターン生成回路22aにおいて、図13に示した従来のPRBSパターン生成回路22の内部構成例と同じ符合を付与しているものは、同じ機能を有するものなので説明を省略する。尚、図7のPRBSパターン生成回路22aにおいては、クロック信号CLKを伝達するクロック信号線を省略しているが、図7の回路においても、図13と同様にクロック信号CLKは、クロック端子を有する各回路素子に供給されている。

【0083】

図7において、図13と異なる構成として、送受信データの一部を0ランレングスまたは1ランレングスに置き換える周期を外部からのデータCYCLE[15:0]に応じて設定するため、PRBSパターン生成回路22aは、論理素子61、62、66、67と、カウンタA・63と、比較回路64と、フリップフロップ65と、イネーブル付き入力反転フリップフロップ（以下、単にイネーブル反転FFとする）73と、セレクタ74とを具備する。また、0ランレングスまたは1ランレングスの長さを外部からのデータLENGTH[3:0]に応じて設定するため、PRBSパターン生成回路22aは、カウンタB・68と、比較回路69と、フリップフロップ70と、論理素子71、72とを具備する。

【0084】

図7に示すように論理素子61は、論理素子223の出力する信号START__DETと、論理素子66が出力する信号LENGTH__CNT__LOADの論理和をカウンタA・63のロード端子loadへ出力する。また、論理素子62は、比較回路64の出力信号と、論理素子72の出力信号を反転した信号との論理積を信号CYCLE__CNT__ENとして出力する。

【0085】

また、カウンタA・63は、外部からのデータCYCLE[15:0]をロード(値を取り込む)する入力端子と、データをロードするタイミングを指示する信号が論理素子61より入力されるロード端子loadと、論理素子62より入力される信号CYCLE__CNT__EN=Hレベルで活性化され、信号CYCLE__CNT__EN=Lレベルで非活性化されるイネーブル端子enと、クロック信号が入力されるクロック端子を備える。また、カウンタA・63は、ロードしたデータCYCLE[15:0]を初期値として、クロック信号CLKの立ち上がりにより同期してカウントダウンされるデータCYCLE__CNT[15:0]を出力する。

【0086】

また、比較回路64は、カウンタA・63が出力するデータCYCLE__CNT[15:0]と、16ビット全てLレベルであるオールLデータ[15:0]とを比較して、異なる場合はHレベルを出力し、同じ場合はLレベルを出力する。また、比較回路64の出力信号は、論理素子62およびフリップフロップ65の入力端子と論理素子66の反転入力端子へ入力される。また、フリップフロップ65は、クロック信号CLKの立ち上がりにより同期して比較回路64の出力信号を論理素子66の入力端子へ出力する。

【0087】

また、論理素子66は、比較回路64から反転入力端子へ入力される信号を反転した信号と、フリップフロップ65から入力端子に入力される信号との論理積を信号LENGTH__CNT__LOADとして出力する。論理素子66が出力する信号LENGTH__CNT__LOADは、論理素子61、67の入力端子およ

びカウンタ B・68 のロード端子 load へ入力される。尚、フリップフロップ 65 と論理素子 66 とにより立ち下がり検出回路が構成されている。

【0088】

また、論理素子 67 は、論理素子 66 が出力する信号 LENGTH__CNT__LOAD と、論理素子 62 が出力する信号 CYCLE__CNT__EN との論理和を信号 DT__SEL として出力する。この論理素子 67 が出力する信号 DT__SEL は、セクタ 74 の制御端子に入力され、セクタ 74 を制御する信号である。

【0089】

カウンタ B・68 は、外部からのデータ LENGTH [3:0] をロード（値を取り込む）する入力端子と、データをロードするタイミングを指示する信号 LENGTH__CNT__LOAD が論理素子 66 より入力されるロード端子 load と、比較回路 60 より入力される信号 =H レベルで活性化され、その信号 =L レベルで非活性化されるイネーブル端子 en と、クロック信号が入力されるクロック端子を備える。また、カウンタ B・68 は、ロードしたデータ LENGTH [3:0] を初期値として、クロック信号 CLK の立ち上がりに同期してカウンタダウンされるデータ LENGTH__CNT [3:0] を出力する。

【0090】

また、比較回路 69 は、カウンタ B・68 が出力するデータ LENGTH__CNT [3:0] と、4 ビット全て L レベルであるオール L データ [3:0] とを比較して、異なる場合は信号 LENGTH__CNT__EN =H レベルを出力し、同じ場合は信号 LENGTH__CNT__EN =L レベルを出力する。また、比較回路 69 の出力する信号 LENGTH__CNT__EN は、論理素子 72 およびフリップフロップ 70 の入力端子と論理素子 71 の反転入力端子およびカウンタ B・68 のイネーブル端子 en へ入力される。また、フリップフロップ 70 は、クロック信号 CLK の立ち上がりに同期して比較回路 69 の出力する信号 LENGTH__CNT__EN を論理素子 71 の入力端子へ出力する。

【0091】

また、論理素子 71 は、比較回路 69 から反転入力端子へ入力される信号 LE

NGTH_CNT_ENを反転した信号と、フリップフロップ70から入力端子に入力される信号との論理積を信号LENGTH_CNT_ENDとして論理素子72の入力端子へ出力する。また、論理素子72は、信号LENGTH_CNT_ENDと信号LENGTH_CNT_ENの論理和を論理素子62の反転入力端子およびイネーブル反転FF・73のイネーブル端子enへ出力する。尚、フリップフロップ70と論理素子71とにより立ち下がり検出回路が構成されている。

【0092】

また、イネーブル反転FF・73は、自身の出力端子から出力する信号が入力される反転入力端子と、論理素子72が出力する信号が入力されるイネーブル端子enと、クロック信号CLKが入力されるクロック端子とを備える。また、イネーブル反転FF・73は、反転入力端子に入力される信号を、クロック信号CLKの立ち上がりに同期して反転してセクタ74の第2の入力端子へ出力する。また、イネーブル反転FF・73の入力信号および出力信号は32ビットのビット幅を有する。すなわち、イネーブル反転FF・73の出力をシリアルデータにした場合に32ビット連続となる0ランまたは1ランを交互に出力することができる。

【0093】

また、セクタ74は、イネーブル付きフリップフロップ224が出力するデータDT_NOW[31:0]が入力される第1の入力端子と、イネーブル反転FF・73の出力が入力される第2の入力端子と、論理素子67が出力する信号DT_SELが入力される制御端子とを備える。また、セクタ74は、出力端子より信号DT_SELに応じて選択した信号をフリップフロップ75の入力端子へ出力する。これにより、フリップフロップ75は、セクタ74が出力する信号をクロック信号CLKの立ち上がりに同期してデータPRBS_DT[31:0]として出力する。尚、セクタ74は、信号DT_SEL=Hレベルの時は、イネーブル付きフリップフロップ224が出力するデータDT_NOW[31:0]を選択して出力し、信号DT_SEL=Lレベルの時は、イネーブル反転FF・73の出力を選択して出力する。

【0094】

次に、図7に示したPRBSパターン生成回路22aの動作について説明する。図8は、図7に示したPRBSパターン生成回路22aの動作を示す波形図である。図8に示すように、時刻t1において、外部からのイネーブル信号PRBS_ENが立ち上がる。次に、時刻t2において、クロック信号CLKが立ち上がると、フリップフロップ221が、イネーブル信号PRBS_ENをクロック信号CLKの立ち上がりに応じてラッチするので、信号START=Hレベルに立ち上がる。これにより、論理素子223が出力する信号START_DET=Hレベルに立ち上がり、論理素子61の出力信号もHレベルに立ち上がる。

【0095】

次に、時刻3において、クロック信号CLKが立ち上がると、論理素子223が出力する信号START_DET=Lレベルに立ち下がり、論理素子61の出力信号もLレベルに立ち下がる。これにより、カウンタA・63に入力されるデータCYCLE[15:0]がカウントダウンの初期値として取り込まれ、その値が、データCYCLE_CNT[15:0]として出力される。尚、本実施形態においては、図8に示すように初期値=127である。

【0096】

また、これにより、比較回路64の出力は、Hレベルに立ち上がり、論理素子62が出力する信号CYCLE_CNT_ENもHレベルに立ち上がる。また、これにより、論理素子67の出力する信号DT_SELもHレベルに立ち上がる。以上により、セクタ74は、イネーブル付きフリップフロップ224およびXOR群225の構成により生成されるPRBSパターンであるデータDT_NOW[31:0]を、選択して出力する。すなわち、時刻t4において、PRBSパターン生成回路22aは、生成したデータDT_NOW[31:0]を、データPRBS_DT[31:0]として出力する。その後、カウンタA・63のカウントダウンによりデータCYCLE_CNT[15:0]=0になるまでの期間、PRBSパターン生成回路22aは、生成したデータDT_NOW[31:0]を、データPRBS_DT[31:0]として出力する。

【0097】

次に、時刻 5 において、カウンタ A・63 の出力するデータ CYCLE_CNT [15:0] = 0 となった場合に、比較回路 64 の出力する信号が L レベルに立ち下がり、論理素子 62 が出力する信号 CYCLE_CNT_EN も L レベルに立ち下がる。また、これにより、論理素子 66 の出力する信号 LENGTH_CNT_LOAD が H レベルに立ち上がる。

【0098】

次に、時刻 t 6 において、クロック信号 CLK が立ち上がると、論理素子 66 の出力する信号 LENGTH_CNT_LOAD が L レベルに立ち下がる。これにより、論理素子 67 の出力信号 DT_SEL も L レベルに立ち下がり、セレクタ 74 は、イネーブル反転 FF・73 の出力データ [31:0] を選択して出力する。また、論理素子 62 の出力信号も L レベルに立ち下がり、カウンタ A・63 に入力されるデータ CYCLE [15:0] がカウントダウンの初期値として取り込まれ、その値が、データ CYCLE_CNT [15:0] として出力される。

【0099】

また、カウンタ B・68 に入力されるデータ LENGTH [3:0] がカウントダウンの初期値として取り込まれ、その値が、データ LENGTH_CNT [3:0] として出力される。これにより、比較回路 69 の出力する信号 LENGTH_CNT_EN が H レベルに立ち上がり、論理素子 72 の出力信号も H レベルに立ち上がる。また、これにより、イネーブル反転 FF・73 が活性化されて、0 ランレングスまたは 1 ランレングスの出力データ [31:0] を出力する。尚、本実施形態におけるデータ LENGTH [3:0] で指定される初期値は、図 8 に示すように LENGTH [3:0] = 2 である。

【0100】

以上により、時刻 t 7 において、PRBS パターン生成回路 22 a は、イネーブル反転 FF・73 が生成した 0 ランレングスまたは 1 ランレングスである出力データ [31:0] を、データ PRBS_DT [31:0] として出力する。その後、カウンタ B・68 のカウントダウンによりデータ LENGTH_CNT [3:0] = 0 になるまでの期間、PRBS パターン生成回路 22 a は、イネーブ

ル反転FF・73が生成したデータ[31:0]を、データPRBS_DT[31:0]として出力する。これにより、図8の符合RUNに示すように、PRBSパターンの一部を0ランレングスまたは1ランレングスに置き換えることができる。

【0101】

また、時刻t8において、データLENGTH_CNT[3:0]=0となった場合に、比較回路69の出力する信号LENGTH_CNT_ENがLレベルに立ち下がる。これにより、論理素子71の出力する信号LENGTH_CNT_ENDがHレベルに立ち上がる。

【0102】

次に、時刻t9において、論理素子71の出力する信号LENGTH_CNT_ENDがLレベルに立ち下がり、論理素子72の出力もLレベルに立ち下がる。これにより、論理素子62の出力する信号CYCLE_CNT_ENがHレベルに立ち上がり、論理素子67の出力する信号DT_SELもHレベルに立ち上がる。以上により、セクタ74は、再びPRBSパターンであるデータDT_NOW[31:0]を選択して出力する。また、カウンタA・63においても、イネーブル端子enに入力される信号CYCLE_CNT_ENがHレベルに立ち上がったので、カウントダウン処理を開始する。次に、時刻t10において、クロック信号CLKの立ち上がりに応じて、フリップフロップ75がPRBSパターンであるデータPRBS_DT[31:0]の出力を開始する。また、カウンタA・63は、データCYCLE_CNT[15:0]のカウントダウン処理を行っている。

【0103】

以上に示したように、PRBSパターン生成回路22aは、カウンタA・63の出力CYCLE_CNT[15:0]とカウンタB・68の出力LENGTH_CNT[3:0]の組み合わせに応じて、PRBSパターンに対して0ランレングスまたは1ランレングスを置き換えるタイミングを規定する信号DT_SELを生成する。また、PRBSパターン生成回路22aは、0ランレングスまたは1ランレングスをPRBSパターンである送信データに含めたくない場合には

、LENGTH [3 : 0] = 0 とすればよい。

【0 1 0 4】

次に、図 6 に示したパターン比較回路 3 4 a の内部構成例について説明する。

図 9 は、図 6 に示したパターン比較回路 3 4 a の内部構成例を示す図である。図 9 のパターン比較回路 3 4 a において、図 1 6 に示した従来のパターン比較回路 3 4 の内部構成例と同じ符合を付与しているものは、同じ機能を有するものなので説明を省略する。尚、図 9 のパターン比較回路 3 4 a においては、クロック信号 RX__OCK を伝達するクロック信号線を省略しているが、図 1 6 に示したパターン比較回路 3 4 と同様にクロック信号 RX__OCK は、クロック端子（図 9 中の三角形）を有する各回路素子に供給されている。

【0 1 0 5】

また、図 9 に示すパターン比較回路 3 4 a は、図 1 6 に示すパターン比較回路 3 4 と異なる機能として、受信データから 0 ランレングスまたは 1 ランレングスを検出して、その受信データに対応するエラーフラグ ERROR をマスク（隠蔽）する機能を有する。すなわち、図 9 に示すパターン比較回路 3 4 a は、図 1 6 に示すパターン比較回路 3 4 と異なる構成として、受信データ（図 9 のデータ DT [3 1 : 0]）が全て 0 または 1 であることを検出する構成として 0 / 1 検出回路 8 1 と、フリップフロップ 8 2、8 4 と、論理素子 8 3、8 5 とを具備する。また、パターン比較回路 3 4 a は、0 ランレングスおよび 1 ランレングス受信時にエラーフラグ ERROR をマスクする（エラーフラグを強制的に Low レベルにする）ために、セクタ 8 6 と、フリップフロップ 8 7 とを更に具備する。

【0 1 0 6】

図 9 において、0 / 1 検出回路 8 1 は、受信データ（図 9 のデータ DT [3 1 : 0]）が全て 0 または 1 であることを検出して、検出信号 RUN__DET（検出時に H レベル）を出力する。フリップフロップ 8 2 は、クロック信号 RX__OCK の立ち上がりに応じて、0 / 1 検出回路 8 1 より入力される検出信号 RUN__DET を出力する。論理素子 8 3 は、入力端子に入力されるフリップフロップ 8 2 の出力信号と、反転入力端子に 0 / 1 検出回路 8 1 より入力される検出信号 RUN__DET を反転した信号との論理積を出力信号 RUN__END として出力

する。

【0107】

フリップフロップ84は、クロック信号RX_OCKの立ち上がりに応じて、論理素子83より入力される信号RUN_ENDを、1クロック分遅らせた信号RUN_END_DLYを出力する。論理素子85は、0/1検出回路81より入力される検出信号RUN_DETと、論理素子83より入力される信号RUN_ENDと、フリップフロップ84より入力される信号RUN_END_DLYとの論理和である信号ERROR_SELを出力する。以上の構成により、パターン比較回路34aは、受信データから0ランレングスまたは1ランレングスを検出して、その検出した期間の前後1クロック分の幅を広げた信号ERROR_SELを出力する。

【0108】

次に、セクタ86は、論理素子85が出力する信号ERROR_SEL=Lレベル（0または1ランを非検出）ならフリップフロップ347が出力する信号IN_ERROR_DLYを選択してフリップフロップ87へ出力する。また、セクタ86は、論理素子85が出力する信号ERROR_SEL=Hレベル（0または1ランを検出）なら0固定（Lレベル固定）の信号を選択してフリップフロップ87へ出力する。フリップフロップ87は、セクタ86より入力される信号を、クロック信号RX_OCKに同期して、エラーフラグERRORとして出力する。

【0109】

以上に示した構成により、従来のPRBSパターンの期待値を生成し受信データと比較する機能に加えて、パターン比較回路34aは、0ランレングスおよび1ランレングスを検出する機能と、0ランレングスおよび1ランレングスを検出した場合に、エラーフラグERRORを強制的にLレベルに固定する機能とを更に備える。

【0110】

次に、図9に示したパターン比較回路34aの動作について説明する。図10は、図9に示したパターン比較回路34aの動作を示す波形図である。図10に

示すように、時刻 t_{21} において、0 ランレングスまたは 1 ランレングスを含む受信データ $DT[31:0]$ が受信されると、PRBS パターンに対応した期待値データと異なるので比較回路 345 は出力信号を H レベルに立ち上げる。これにより、デマルチプレクサ 346 が出力する信号 IN_ERROR は、H レベルに立ち上がる。

【0111】

次に、時刻 t_{22} において、フリップフロップ 347 は、クロック信号 RX_CLOCK の立ち上がり同期して、デマルチプレクサ 346 が出力する信号 IN_ERROR を取り込み、信号 IN_ERROR_DLY を H レベルに立ち上げる。また、0/1 検出回路 81 は、受信データ $DT[31:0]$ に対して 0 ランレングスまたは 1 ランレングスを検出して、検出信号 RUN_DET を H レベルに立ち上げる。これにより、論理素子 85 が出力する信号 $ERROR_SEL$ が H レベルに立ち上がる。

【0112】

次に、時刻 t_{23} において、0/1 検出回路 81 は、受信データ $DT[31:0]$ における 0 ランレングスまたは 1 ランレングスの終了を検出して、検出信号 RUN_DET を L レベルに立ち下げる。また、論理素子 83 は、フリップフロップ 82 で信号 RUN_DET を 1 クロック分遅延した信号 RUN_END を H レベルに立ち上げる。これにより、論理素子 85 の出力する信号 $ERROR_SEL$ が H レベルを維持する。尚、フリップフロップ 82 および論理素子 83 により、信号 RUN_DET の立ち下がり検出を行っている。

【0113】

次に、時刻 t_{24} において、論理素子 83 は、フリップフロップ 82 で信号 RUN_DET を 1 クロック分遅延した信号 RUN_END を L レベルに立ち下げる。また、フリップフロップ 84 は、信号 RUN_END を 1 クロック分遅延させた信号 RUN_END_DLY を H レベルに立ち上げる。これにより、論理素子 85 の出力する信号 $ERROR_SEL$ が H レベルを維持する。また、0 ランレングスまたは 1 ランレングスを含まない PRBS パターンに応じた受信データ $DT[31:0]$ が受信され、PRBS パターンに対応した期待値データと比較す

ることで比較回路 345 は出力信号を L レベルに立ち下げる。これにより、デマルチプレクサ 346 が出力する信号 IN_ERROR は、L レベルに立ち下がる。

【0114】

次に、時刻 t25 において、フリップフロップ 84 は、信号 RUN_END を 1 クロック分遅延させた信号 RUN_END_DLY を L レベルに立ち下げる。これにより、論理素子 85 の出力する信号 ERROR_SEL が L レベルに立ち下がる。また、フリップフロップ 347 の出力する信号 IN_ERROR を 1 クロック分遅延させた信号 IN_ERROR_DLY が立ち下がる。

【0115】

以上に示したように、0 ランレングスまたは 1 ランレングスをエラーとして検出した信号 IN_ERROR_DLY = H レベルの期間 (ERROR 出力マスク期間) は、信号 ERROR_SEL を H レベルにすることで、エラーフラグ ERROR を強制的に L レベルにすることができる。

【0116】

ここで、本実施形態の特徴について更に説明する。一般的に、上述したようにパターン比較シーケンスはデータの先頭検出 (Lock 検出) 状態とエラー検出状態に分かれる。図 9 および図 16 にある信号 STATE_SEL はそれらの状態を示す信号である。ここでは、STATE_SEL = H レベルを Lock 検出状態、L レベルをエラー検出状態に対応させている。パターン比較回路 34a はパターン生成回路 22a と同じ PRBS パターンを生成する回路を有する。Lock 検出状態では、サイクル毎に受信データをパターン生成回路 34a に取込み、それを初期値とした期待値データを生成する。

【0117】

例えば、Lock 検出状態において、0 ランレングスまたは 1 ランレングスのデータを受信した場合、パターン生成回路 34a において、Lock 検出は不可能であり、Lock 検出作業を再度行うことになる。また、エラー検出状態では、Lock 検出状態の最後に取り込んだ期待値データを初期値とし、期待値データを生成し続ける。受信データに 1 bit でも期待値データとの不一致があればエ

ラーと見なす。従来のパターン比較回路 34 では、このエラーフラグをそのまま出力する。一方、本実施形態におけるパターン比較回路 34 a は、0 ランレングスまたは 1 ランレングスのデータを受信した場合には、そのエラーフラグをマスクする。

【0118】

ただし、この場合、0 ランレングスまたは 1 ランレングスのデータの長さは 64 bit 以上でなければならない。例えば、上述したように、SONET 規格では 0 ランレングスまたは 1 ランレングスのデータとして最長 72 bit を規定している。このため、本実施形態を使用した場合、データ送信回路の PRBS パターン生成回路に設定すべく 0 ランレングスまたは 1 ランレングスのデータの長さは LENGTH [2:0] = 2 と設定することで、0 ランレングスまたは 1 ランレングスのデータの長さを 96 bit にしている。これにより、上述した SONET 規格よりも厳しい試験を行うことができる。本実施形態では、上述したように信号 ERROR_SEL により、エラーフラグ ERROR をマスクする期間を規定し、このマスク期間以外は従来例と同じように期待値データと受信データを比較することでエラーを検出し、エラーを検出する毎にエラーフラグ ERROR を H レベルで出力する。

【0119】

以上の構成により、本実施形態におけるデータ送受信回路 1 c は、従来の量産試験システムを使用しながら、送受信データに 0 ランレングスまたは 1 ランレングスのデータを含んだ PRBS パターンを生成して、更にジッタを含ませて送受信データすることができる。すなわち、ジッタトレランスの評価を行う際に、0 ランレングスまたは 1 ランレングスの試験も合わせて行うことができ、故障検出率の向上を図ることができる。

【0120】

以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

本発明の実施形態は、例えば以下に示すような種々の適用が可能である。

【0121】

(付記1) クロック信号を生成するクロック生成手段と、
前記クロック生成手段が生成する前記クロック信号にジッタを含ませるジッタ供給手段と、
前記ジッタを含む前記クロック信号に同期してデータを送信するデータ送信回路と
を具備することを特徴とするデータ送信装置。

【0122】

(付記2) 前記ジッタ供給手段は、前記クロック信号に含ませる前記ジッタの変調量および／または周波数を調整することができることを特徴とする付記1に記載のデータ送信装置。

【0123】

(付記3) 前記ジッタ供給手段は、前記ジッタとして正弦波ジッタまたはランダムジッタのいずれかを少なくとも供給することができることを特徴とする付記1に記載のデータ送信装置。

【0124】

(付記4) 第1のクロック信号を生成するクロック生成手段と、
前記クロック生成手段が生成する前記第1のクロック信号にジッタを含ませるジッタ供給手段と、
前記ジッタを含む前記第1のクロック信号に同期してデータを送信するデータ送信回路と
を具備することを特徴とする入出力インタフェース回路。

【0125】

(付記5) 前記ジッタ供給手段は、前記第1のクロック信号に含ませる前記ジッタの変調量および／または周波数を調整することができることを特徴とする付記4に記載の入出力インタフェース回路。

【0126】

(付記6) 前記ジッタ供給手段は、前記ジッタとして正弦波ジッタまたはランダムジッタのいずれかを少なくとも供給することができることを特徴とする付

記 4 に記載の入出力インタフェース回路。

【0127】

(付記 7) データを受信するデータ受信回路を更に具備し、
前記クロック生成手段は、前記データ受信回路へ第 2 のクロック信号を更に供給し、

前記データ送信回路は、
ジッタ耐力試験用のデータパターンを生成するパターン生成手段と、
前記パターン生成手段が生成した前記データパターンを前記第 1 のクロック信号に同期して送信する送信手段と

を備え、

前記データ受信回路は、
前記送信手段より受信した前記データパターンを前記第 2 のクロック信号に同期して受信する受信手段と、

前記受信手段が受信した前記データパターンと期待値とを比較して比較結果を出力するパターン比較手段と

を備えること

を特徴とする付記 4 に記載の入出力インタフェース回路。

【0128】

(付記 8) 前記パターン比較手段が出力する前記比較結果と、前記ジッタ供給手段が供給する前記ジッタの変調量および／または周波数に関する情報とを関連付けて格納する測定結果格納手段を更に具備することを特徴とする付記 7 に記載の入出力インタフェース回路。

【0129】

(付記 9) 前記パターン比較手段が出力する前記比較結果および前記ジッタ耐力の測定手順に応じて、前記ジッタの変調量および／または周波数を変化するよう前記ジッタ供給手段を制御するジッタ供給手段制御手段を更に具備することを特徴とする付記 7 に記載の入出力インタフェース回路。

【0130】

(付記 10) 前記ジッタ供給制御手段は、前記パターン比較手段が出力する

前記比較結果が合格である場合には、前記ジッタの変調量を変化させ、前記パターン比較手段が出力する前記比較結果が不合格である場合には、前記ジッタの周波数を変化させるよう前記ジッタ供給手段を制御することを特徴とする付記 7 に記載の入出力インタフェース回路。

【0131】

(付記 11) 前記データ送信回路の前記パターン生成手段は、前記データパターンに 0 または 1 が連続するデータを含ませる機能を更に備え、

前記データ受信回路の前記パターン比較手段は、前記 0 または 1 が連続するデータを受信したことを検出する機能と、前記機能により前記 0 または 1 が連続するデータを受信したことを検出した際には、前記比較結果を強制的に合格とする機能とを更に備えること

を特徴とする付記 7 に記載の入出力インタフェース回路。

【0132】

(付記 12) 前記データ送信回路の前記パターン生成手段は、前記データパターンの一部を 0 または 1 が連続するデータに置き換えることで、前記データパターンに 0 または 1 が連続するデータを含ませることを特徴とする付記 11 に記載の入出力インタフェース回路。

【0133】

(付記 13) 前記データ送信回路の前記パターン生成手段は、前記データパターンの途中に 0 または 1 が連続するデータを挿入することで、前記データパターンに 0 または 1 が連続するデータを含ませることを特徴とする付記 11 に記載の入出力インタフェース回路。

【0134】

(付記 14) 前記データ送信回路の前記パターン生成手段は、前記データパターンに 0 または 1 が連続するデータを周期的に含ませている場合に、前記周期を調整する機能を更に備えることを特徴とする付記 11 に記載の入出力インタフェース回路。

【0135】

【発明の効果】

以上に説明したように、本発明によるデータ送信装置およびデータ送信回路を備える入出力インタフェース回路においては、データ送信回路に供給するクロック信号にジッタを含ませることができるので、データ送信回路が出力する送信データもジッタを含むものにすることができる。これにより、この送信データをデータ受信回路が適正に受信できるか否かをチェックすることで、ジッタ耐力（ジッタトレランス）を試験することができる。これにより、量産試験時の故障検出率を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態であるジッタ試験用回路を含むデータ送受信回路の全体構成を示す図である。

【図 2】

図 1 に示したクロック生成回路 5 の内部構成例 1 を示す図である。

【図 3】

図 1 に示したクロック生成回路 5 の内部構成例 2 を示す図である。

【図 4】

本発明の第 2 の実施形態であるジッタ試験用回路を含むデータ送受信回路の全体構成を示す図である。

【図 5】

図 4 に示したデータ送受信回路 1 b が、ジッタトレランスの特性を測定する動作を示す図である。

【図 6】

本発明の第 3 の実施形態であるジッタ試験用回路を含むデータ送受信回路の全体構成を示す図である。

【図 7】

図 6 に示した P R B S パターン生成回路 2 2 a の内部構成例を示す図である。

【図 8】

図 7 に示した P R B S パターン生成回路 2 2 a の動作を示す波形図である。

【図 9】

図 6 に示したパターン比較回路 3 4 a の内部構成例を示す図である。

【図 1 0】

図 9 に示したパターン比較回路 3 4 a の動作を示す波形図である。

【図 1 1】

データ送受信回路を試験するためのループ構成を示す図である。

【図 1 2】

図 1 1 に示したクロック生成回路 4 における従来の回路構成例を示す図である。

。

【図 1 3】

図 1 1 に示した P R B S パターン生成回路 2 2 における従来の回路構成例を示す図である。

【図 1 4】

図 1 3 に示した X O R 群 2 2 5 の詳細な回路構成例を示す図である。

【図 1 5】

図 1 3 に示した P R B S パターン生成回路 2 2 の動作を説明するための波形図である。

【図 1 6】

図 1 1 に示したパターン比較回路 3 4 における従来の回路構成例を示す図である。

【図 1 7】

図 1 6 に示したパターン比較回路 3 4 の動作を説明するための波形図である。

【符号の説明】

- | | |
|---------------|---------------|
| 1、1 a、1 b、1 c | データ送受信回路 |
| 2、2 c | データ送信回路 |
| 3、3 a、3 c | データ受信回路 |
| 4、5 | クロック生成回路 |
| 6 | クロック生成回路制御回路 |
| 2 1 | クロック制御回路 |
| 2 1 a | 分周器 (× 1 / 2) |

2 1 b	位相シフト回路
2 1 c	分周器 (× 1 / 8)
2 2、2 2 a	P R B S パターン生成回路
2 3、2 4	セレクタ
2 5	3 2 : 4 変換回路
2 6	ドライバ回路
2 7	バッファ
3 1	クロック制御回路
3 2	レシーバ回路
3 3	4 : 3 2 変換回路
3 4、3 4 a	パターン比較回路
3 5	フィルタ回路
3 6	測定時間カウント回路
5 1	ジッタ生成回路
5 2	電圧加算器
5 3	第 2 の V C O
5 4	セレクタ
5 5	D L L
6 3	カウンタ A
6 4	比較回路
6 8	カウンタ B
6 9	比較回路
7 3	イネーブル付き反転フリップフロップ
7 4	セレクタ
8 1	0 / 1 検出回路
8 6	セレクタ
2 2 4	イネーブル付きフリップフロップ
2 2 5、3 4 4	X O R 群
3 4 5	比較回路

3 4 6

デマルチプレクサ

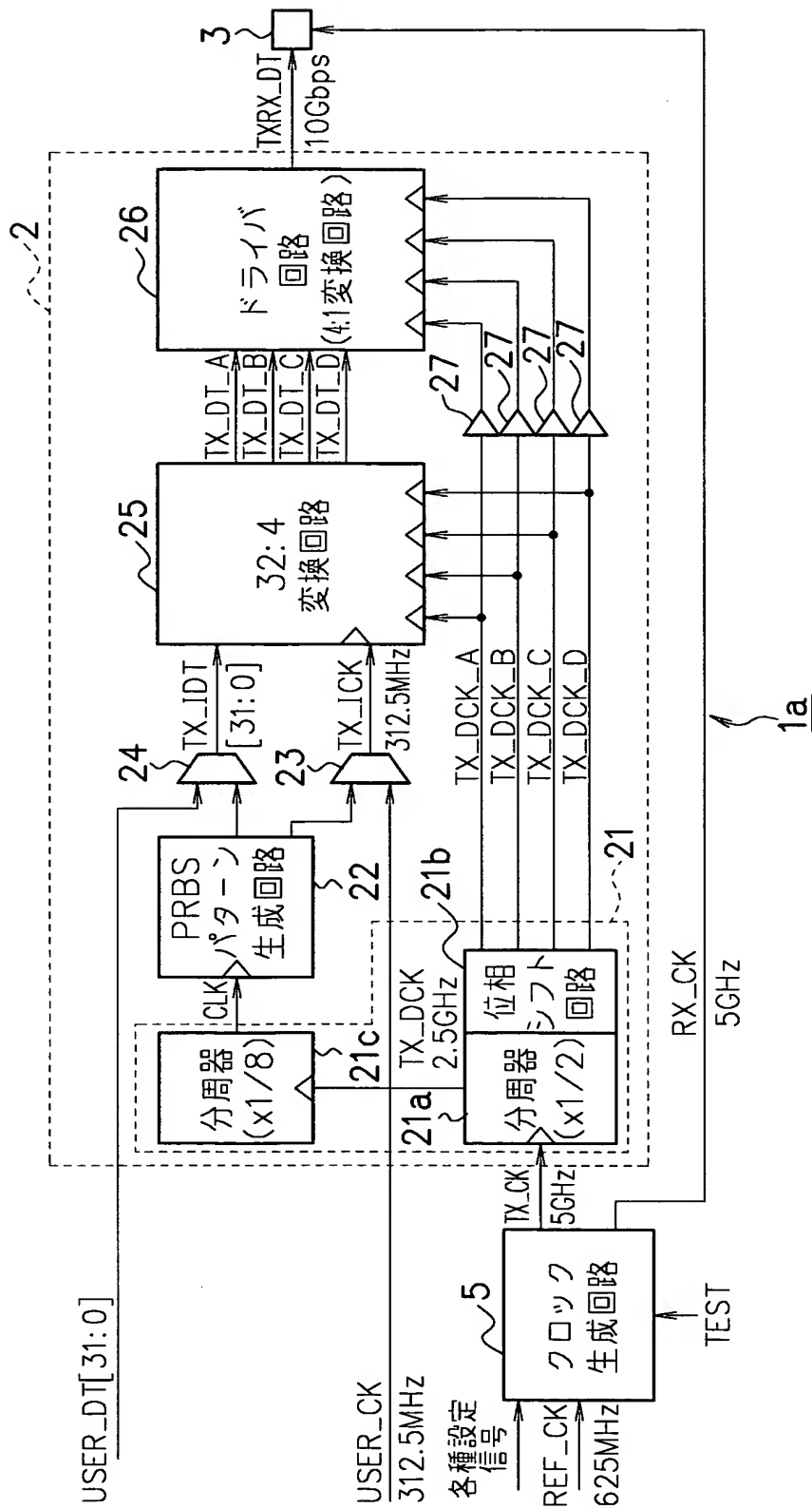
3 5 1

シーケンサ

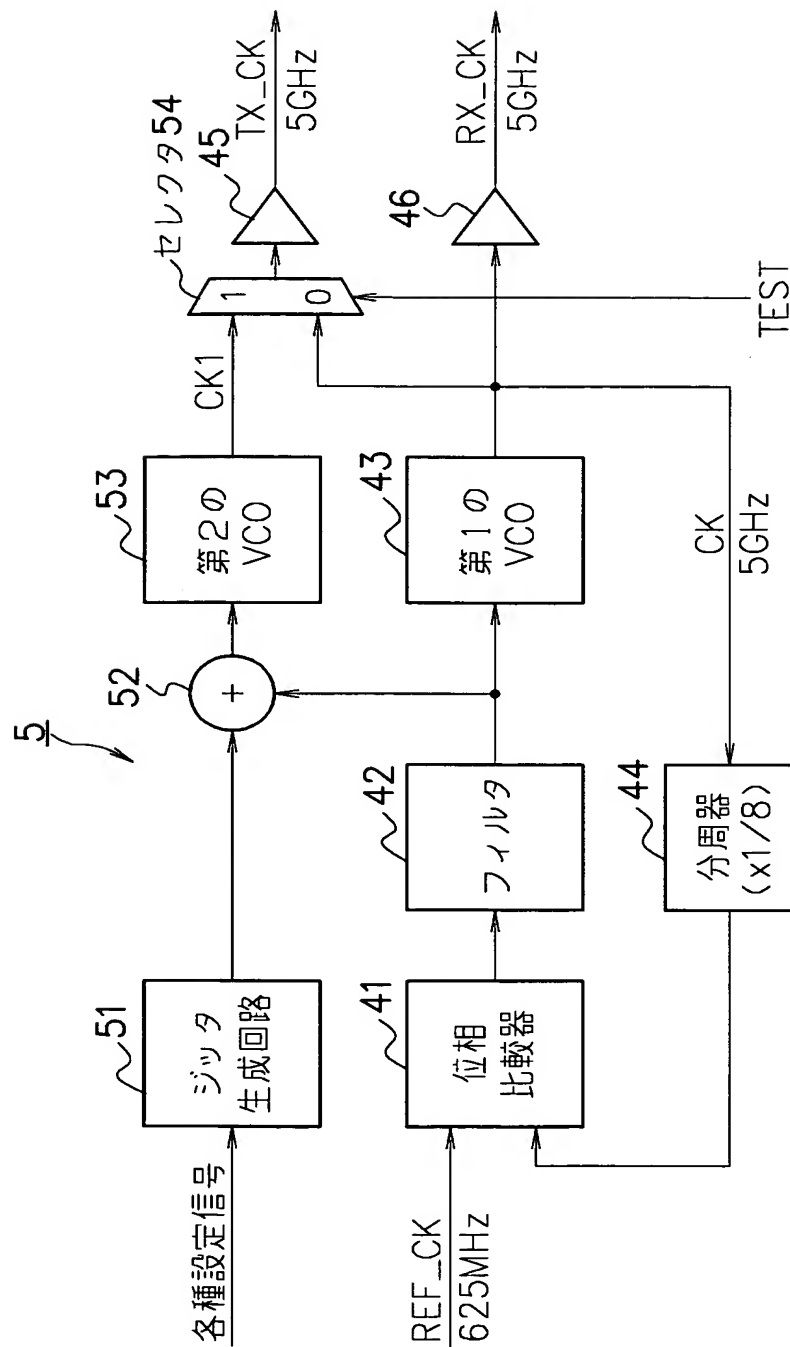
【書類名】

図面

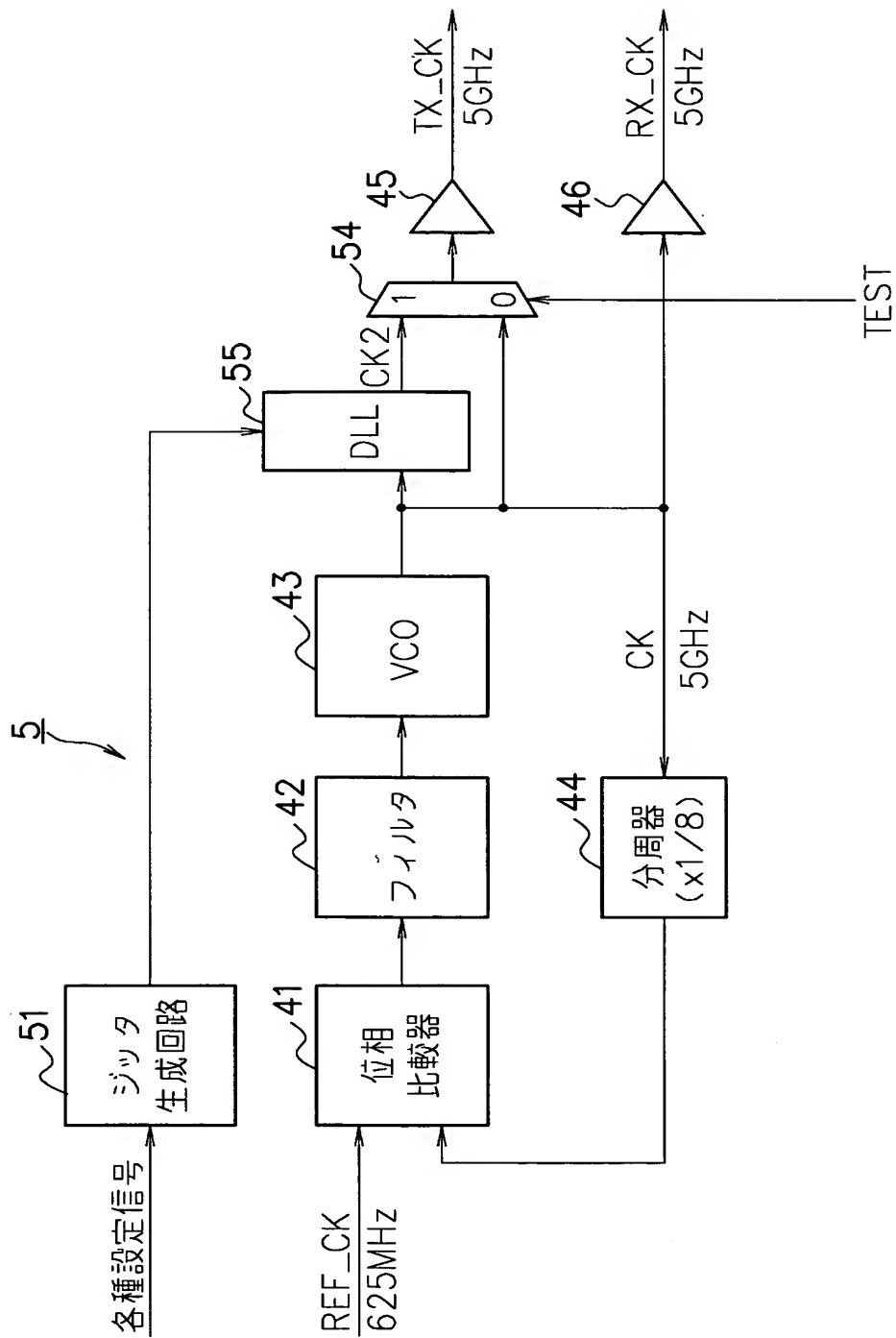
【図 1】



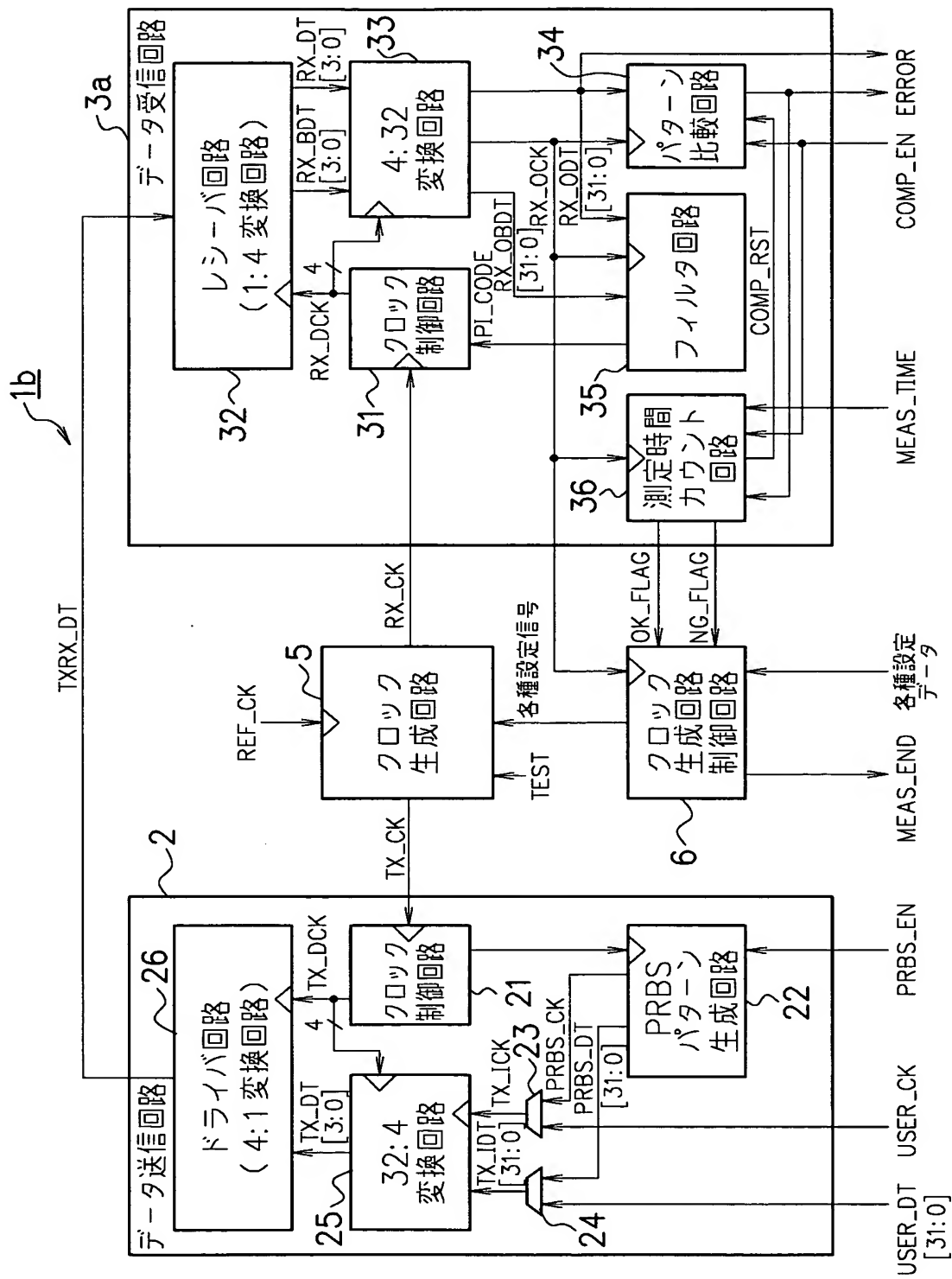
【図 2】



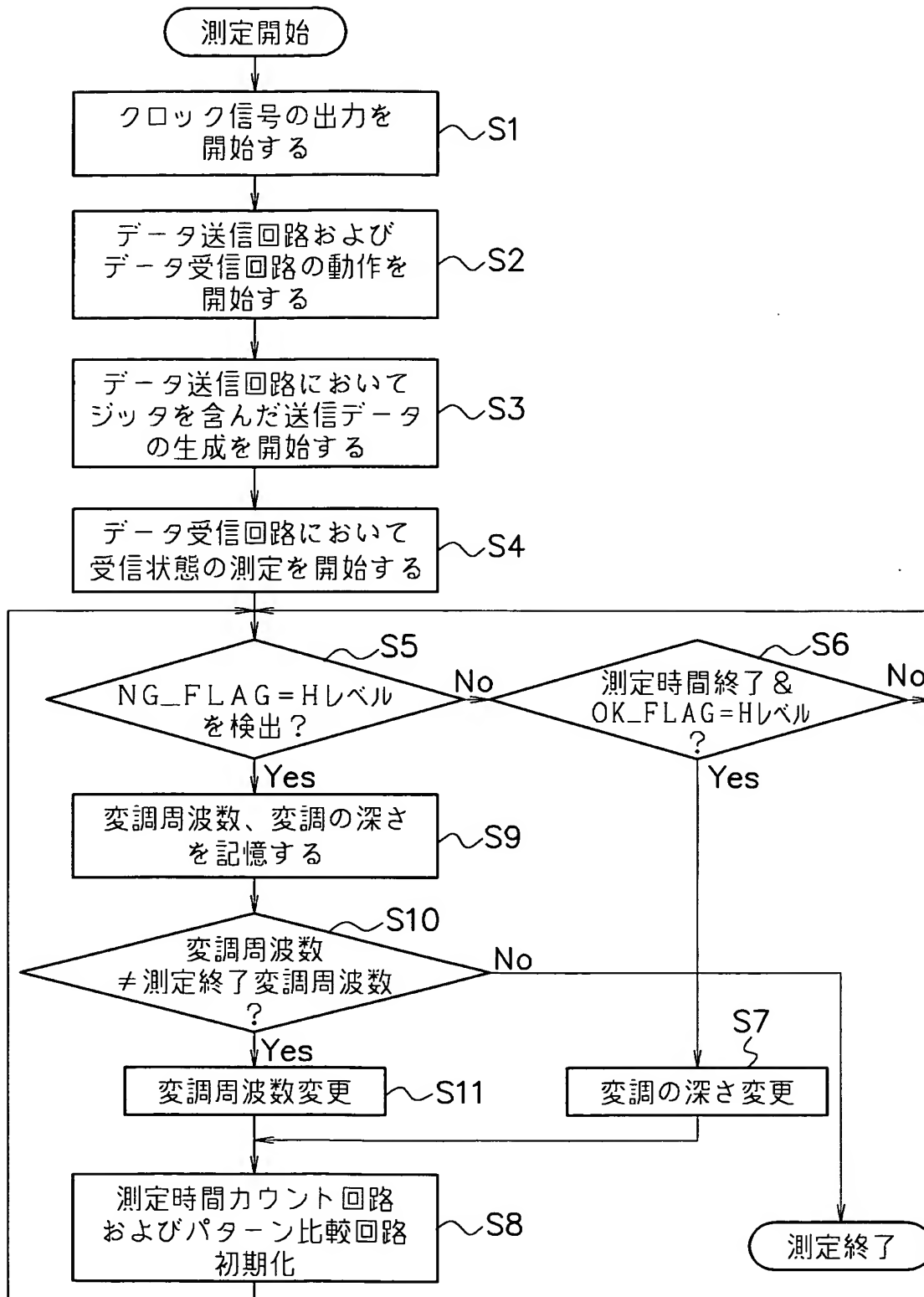
【図 3】



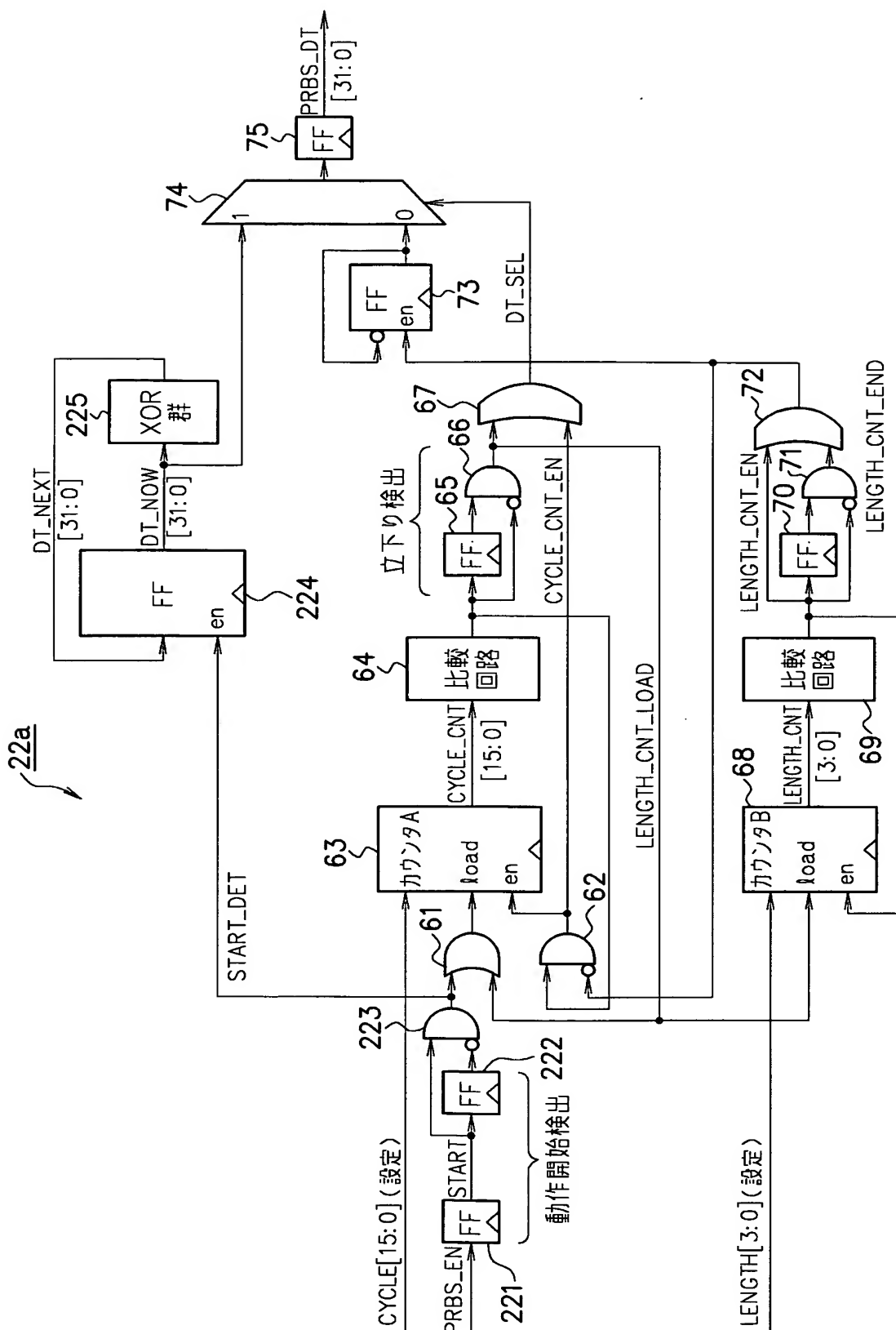
【図 4】



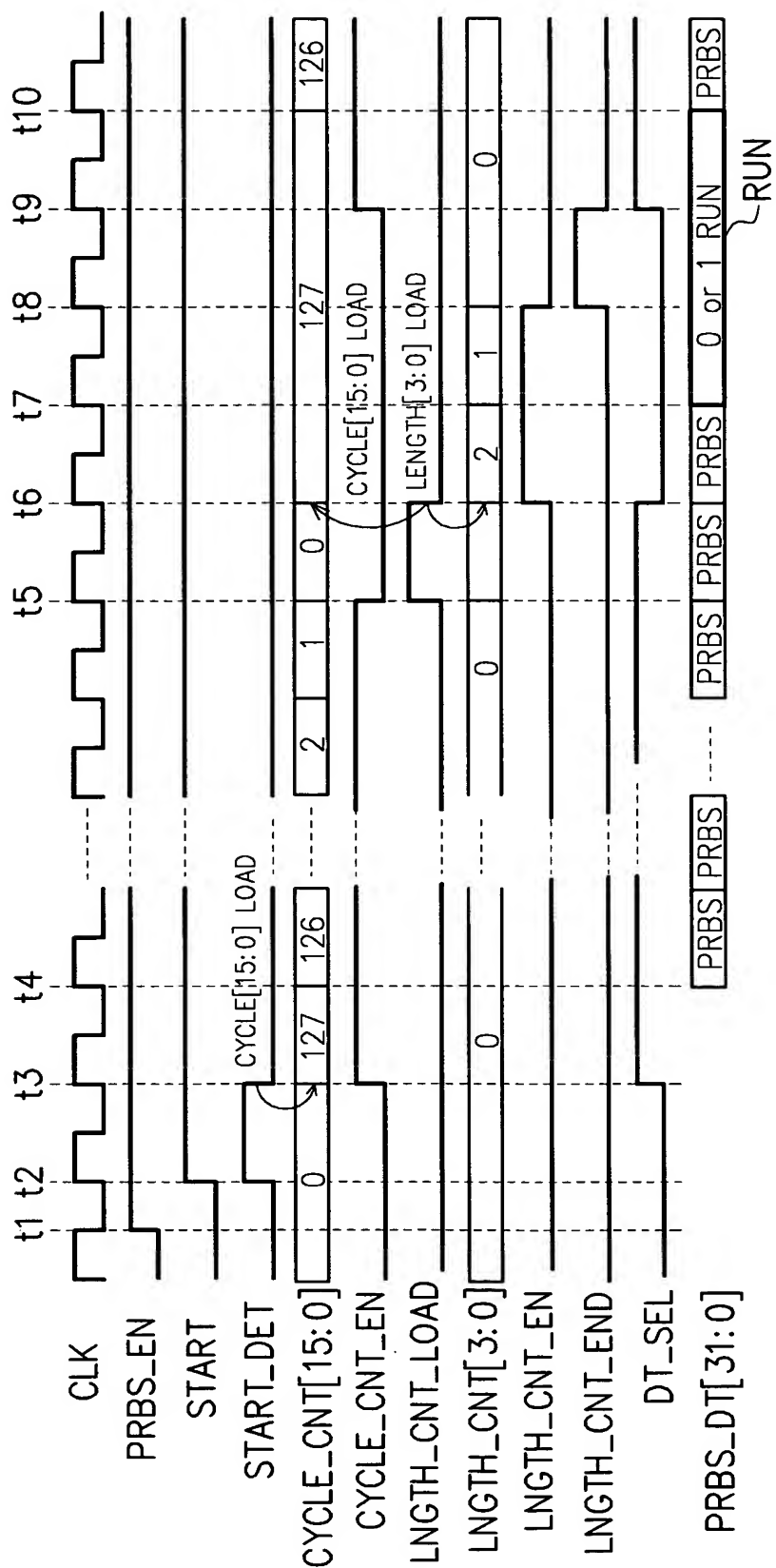
【図 5】



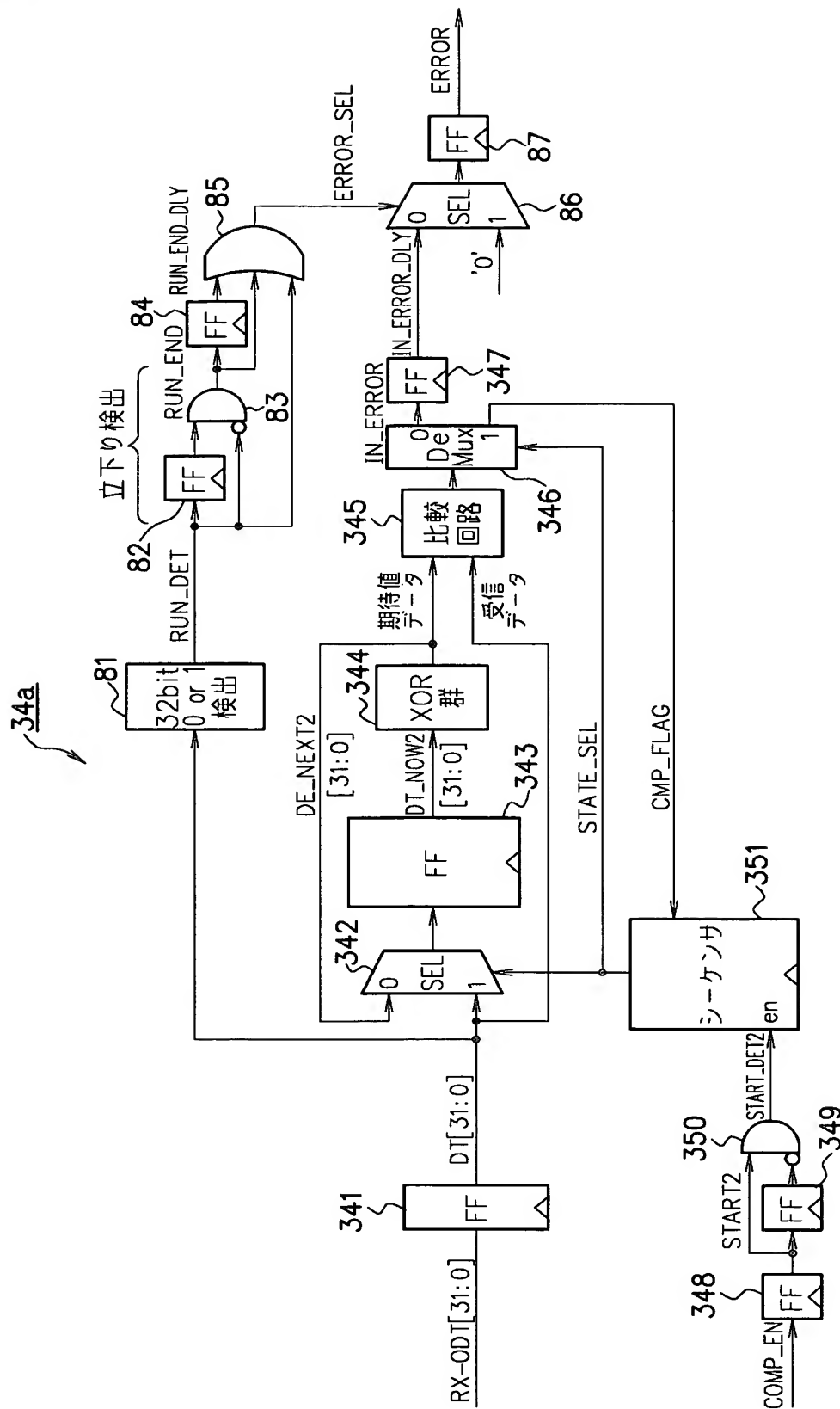
【図 7】



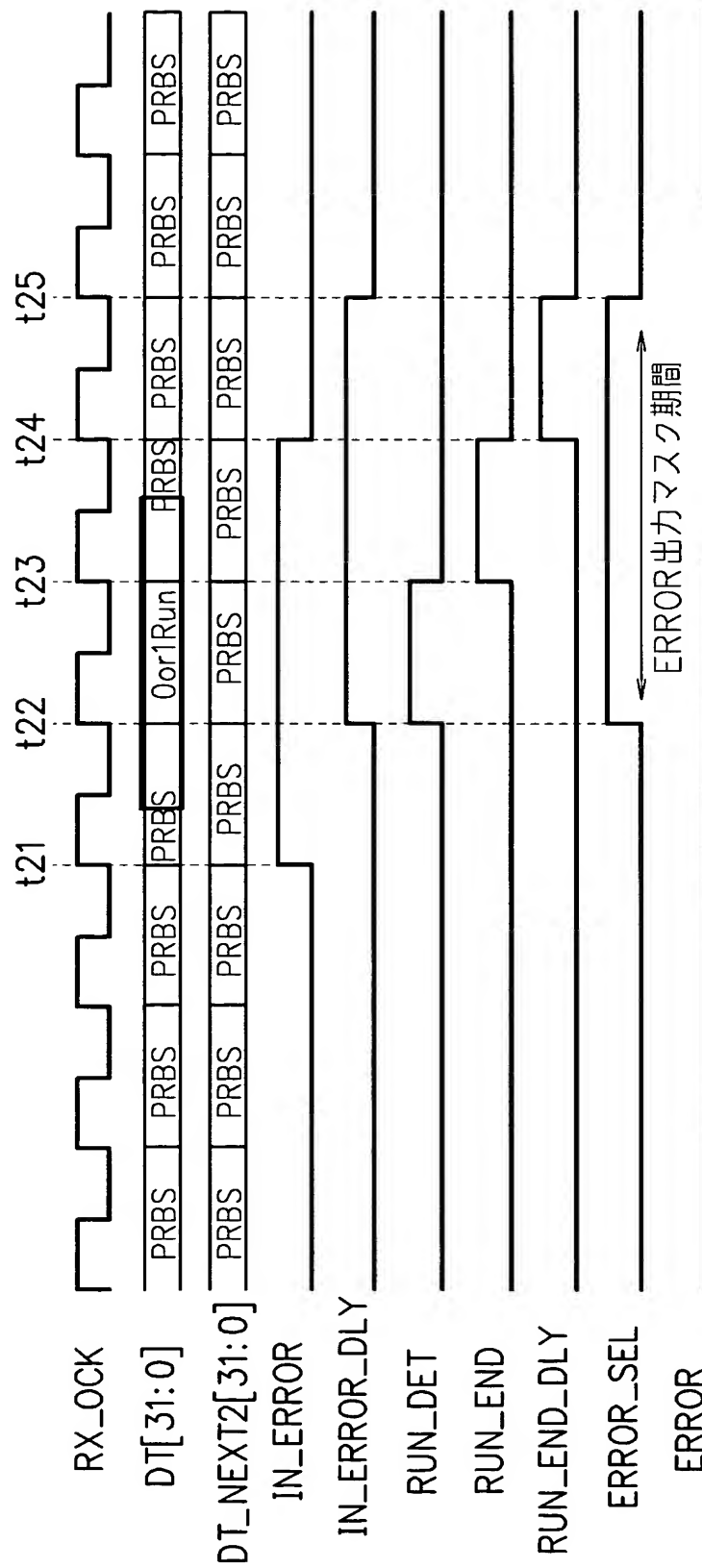
【図 8】



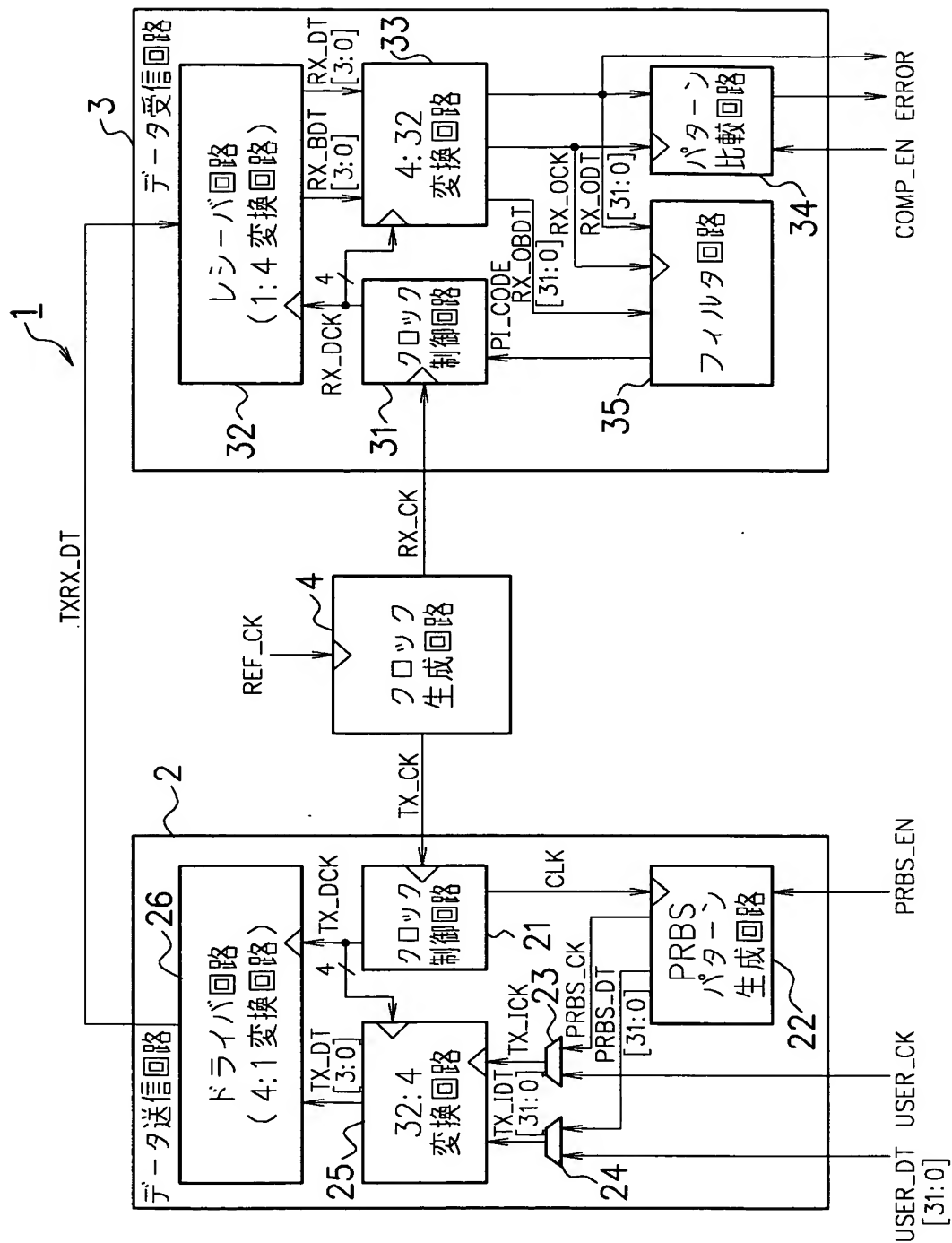
【図 9】



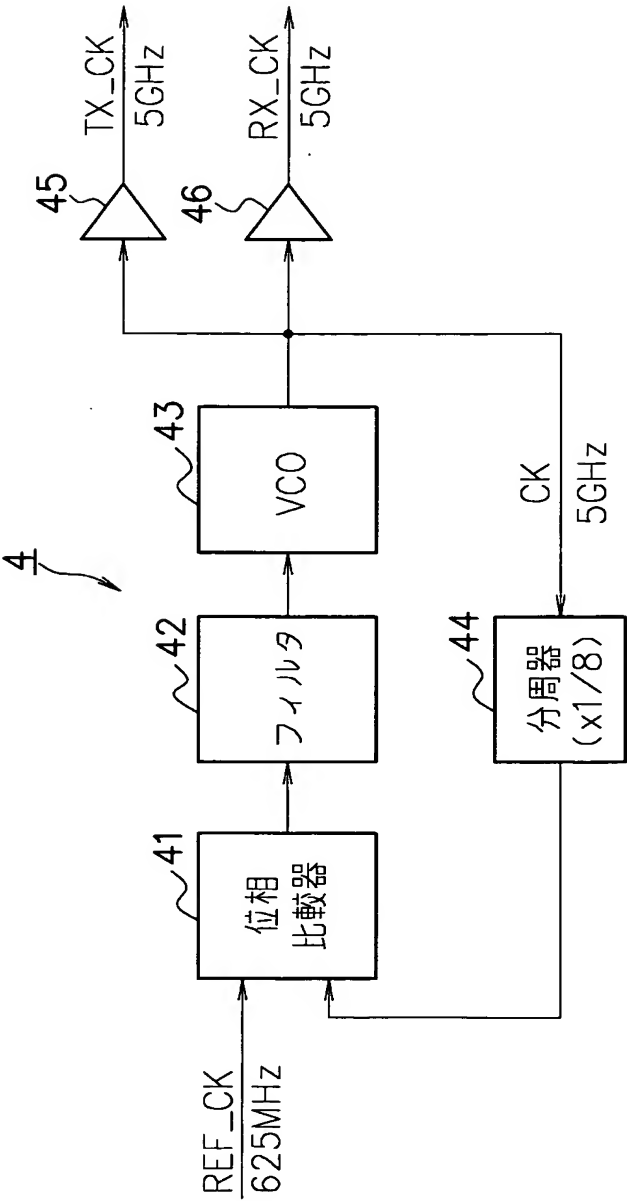
【図 10】



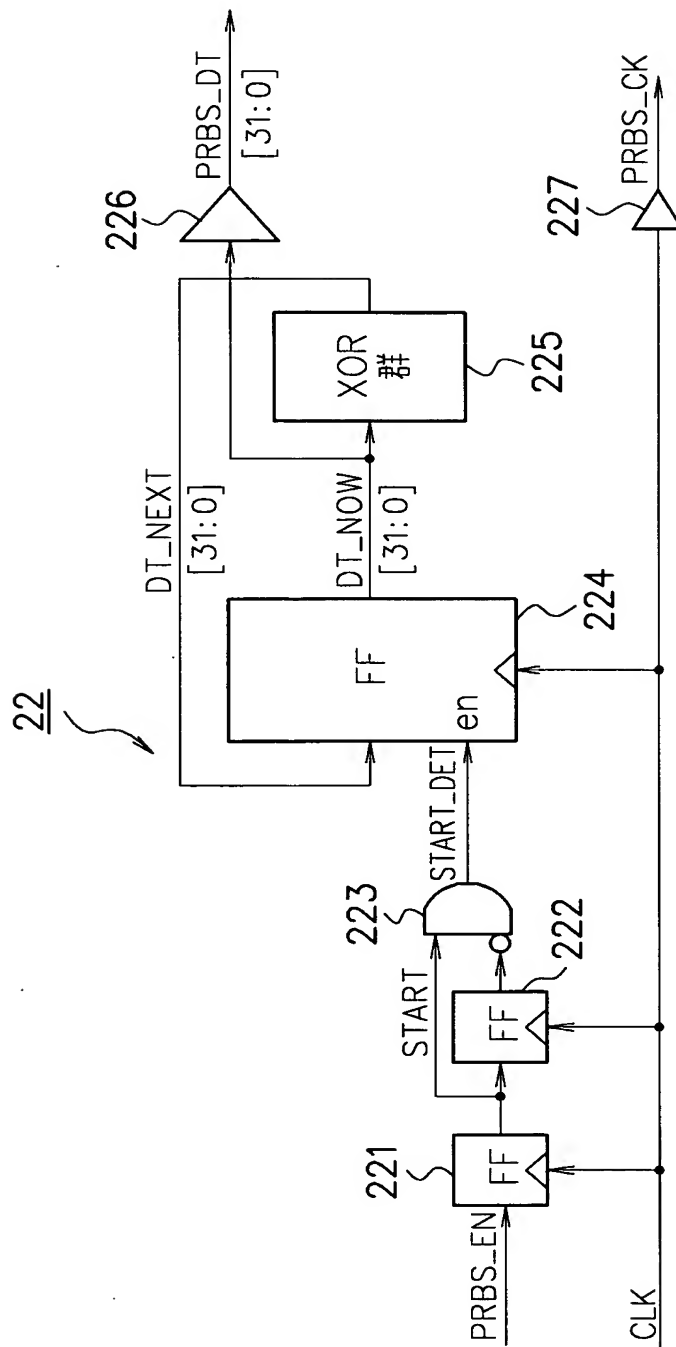
【図 11】



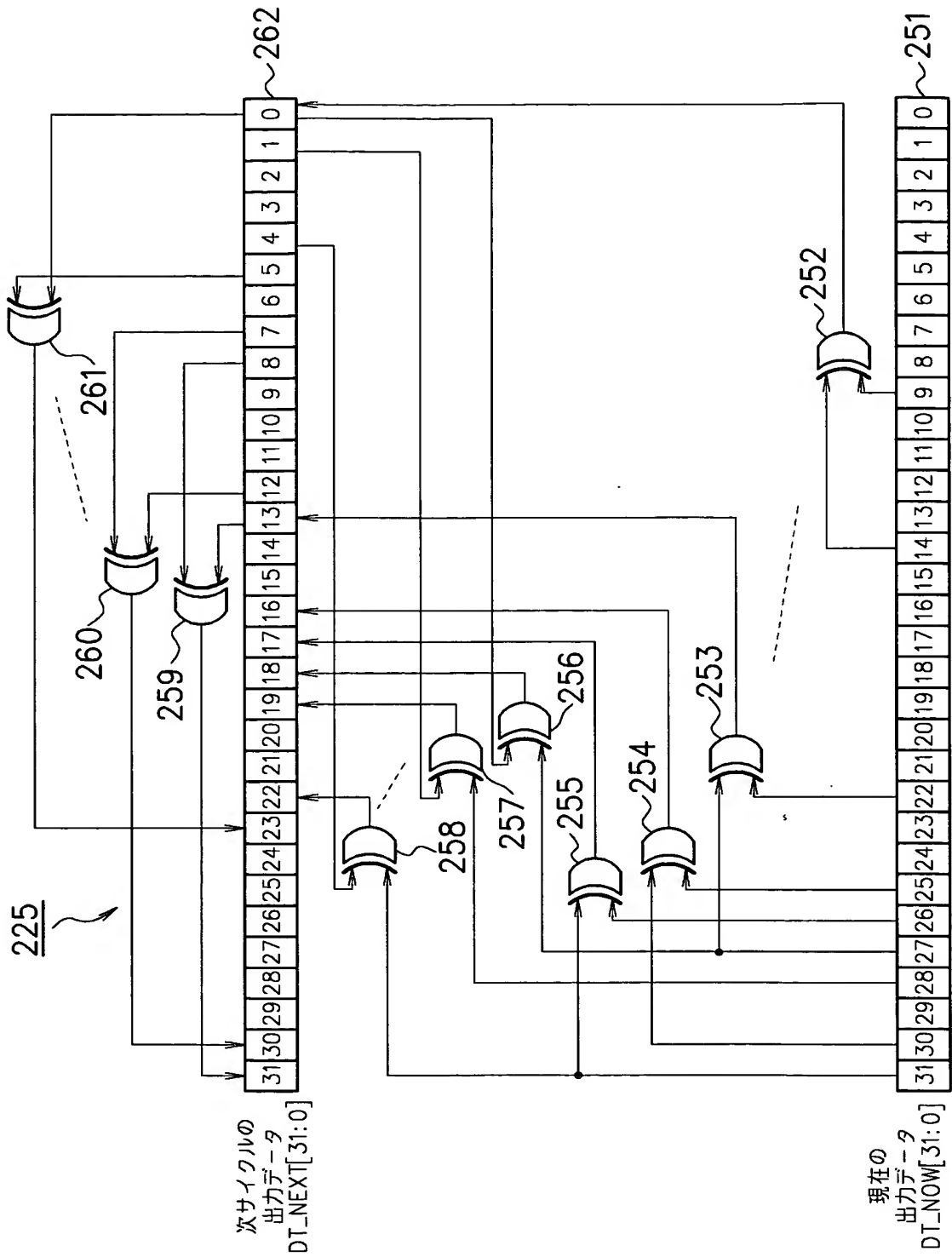
【図 12】



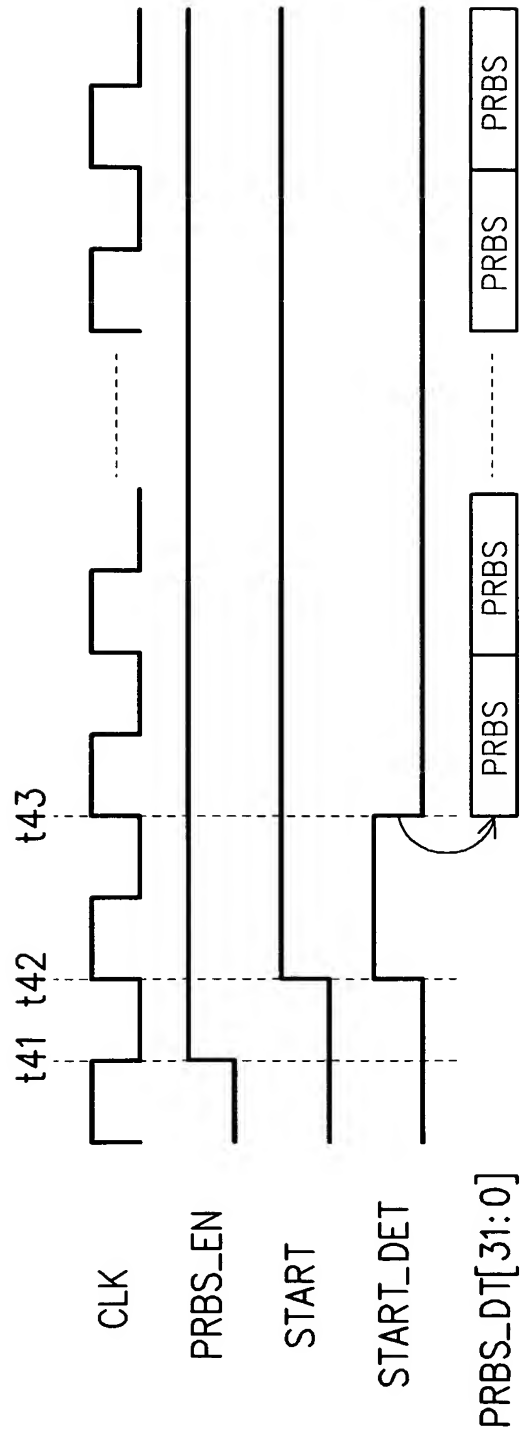
【図 13】



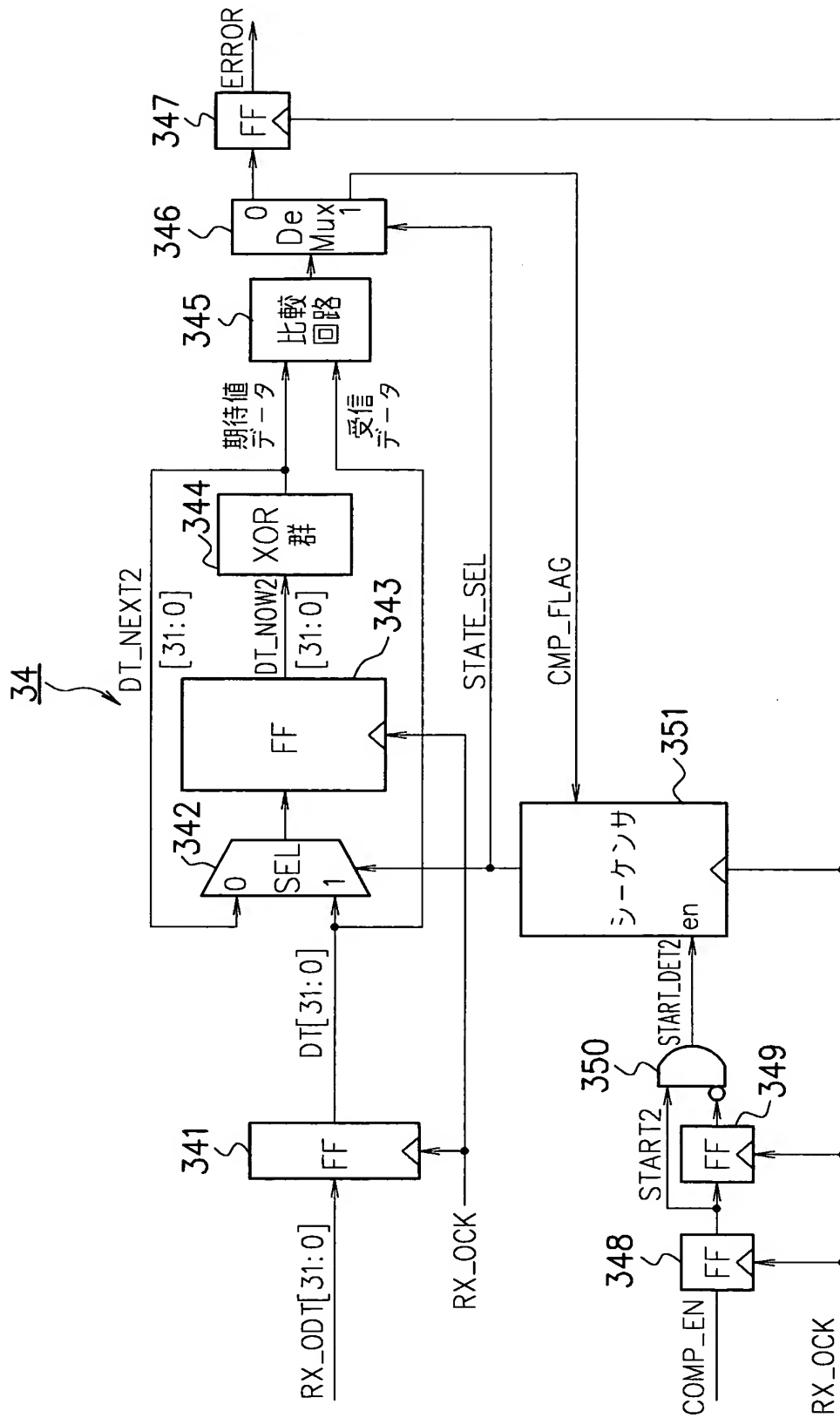
【図 14】



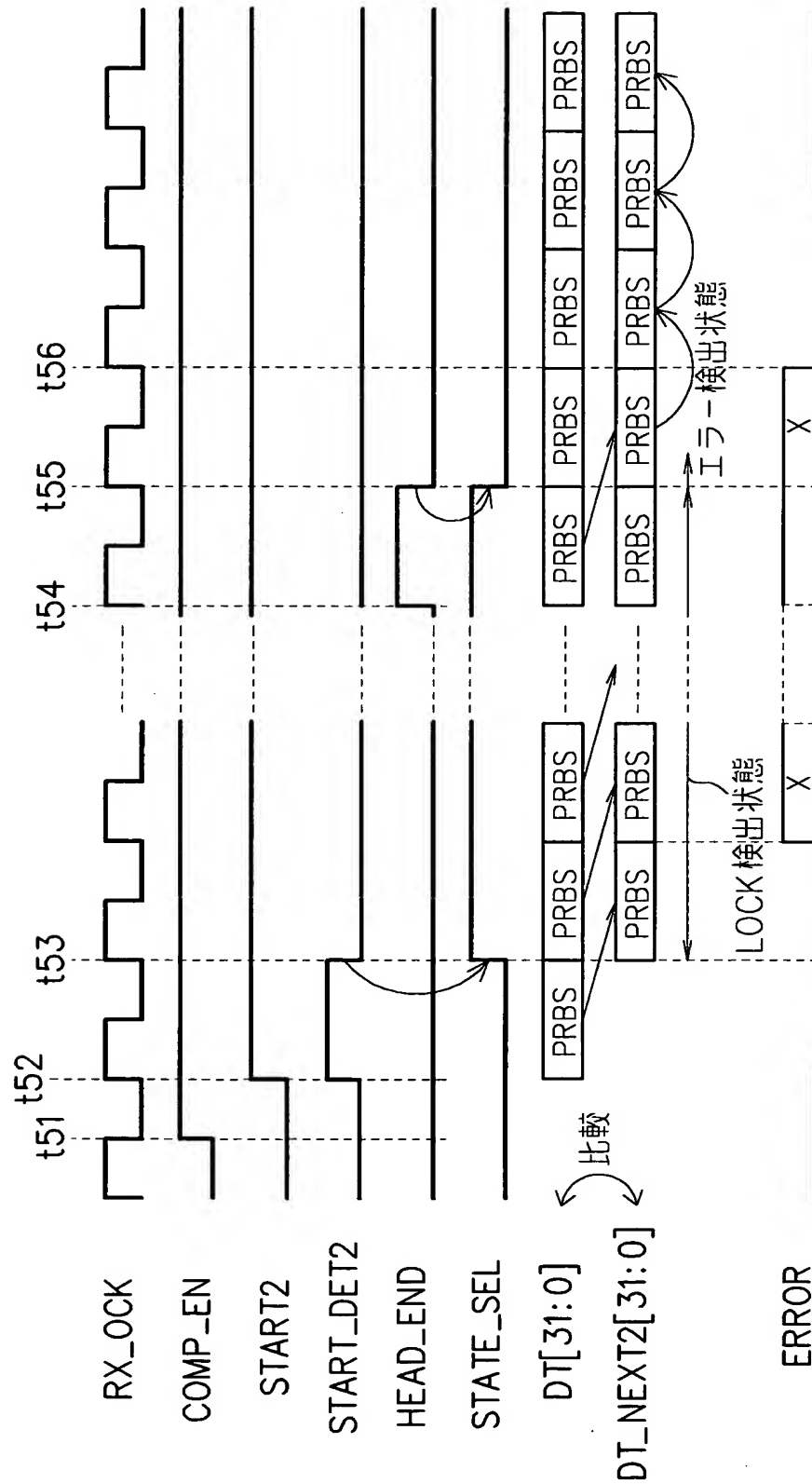
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 量産試験時にデータ送受信におけるジッタトレランスについて試験することができ、故障検出率の向上を図ることができるデータ送信装置およびジッタ送信回路を備える入出力インタフェース回路を提供する。

【解決手段】 クロック生成回路 5 は、データ送受信回路 1 a のジッタ耐力試験のためにデータ送信回路 2 へクロック信号 TX__CK を供給し、データ受信回路 3 へクロック信号 RX__CK を供給する。この時、クロック生成回路 5 がデータ送信回路 2 へ供給するクロック信号 TX__CK に各種設定信号に応じた変調周波数および変調の深さとなるジッタを含ませる。尚、試験時なので信号 TEST = H レベルである。

【選択図】 図 1

特願 2 0 0 3 - 1 6 9 8 7 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社